



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11238962 A**(43) Date of publication of application: **31.08.99**

(51) Int. Cl. **H05K 3/34**
H05K 3/36

(21) Application number: **10038526**(22) Date of filing: **20.02.98**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **ITO WATARU**
TSUDA JUNICHI**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE
AND THE SEMICONDUCTOR DEVICE**

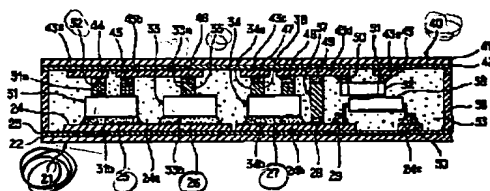
metal insulating substrate 40.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device the occupied area and height of which are reduced, the loss is reduced, and the heat dissipating property, reliability and productivity are improved.

SOLUTION: Solder pastes 25 to 27 are stuck to electrodes 24a to 24c on the surface of a lower metal insulating substrate 21. Semiconductor elements 31, 33, 34 in which solder bumps 32, 35, 36 are formed on electrodes 31a, 33a, 34a on the surface are mounted on the solder pastes 25 to 27. Then, an upper metal insulating substrate 40, in which solder pastes 44 to 48 are stuck to electrodes 43a to 43d on the rear surface respectively, is mounted on the solder bumps 32, 35, 36. They are heated, and both solder pastes 25 to 27 and 44 to 48 are melted. Electrodes 31b, 33b, 34b on the rear surface of the semiconductor elements 31, 33, 34 are bonded to the electrodes 24a to 24c on the surface. The electrodes 31a, 33a, 34a on the surface of the semiconductor elements 31, 33, 34 are bonded to the electrodes 43a to 43d on the rear surface of the upper



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-238962

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl.⁶H 0 5 K 3/34
3/36

識別記号

5 0 5

F I

H 0 5 K 3/34
3/365 0 5 A
B

審査請求 未請求 請求項の数14 O L (全 17 頁)

(21) 出願番号

特願平10-38526

(22) 出願日

平成10年(1998) 2月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 伊藤 渉

三重県三重郡朝日町大字繩生2121番地 株
式会社東芝三重工場内

(72) 発明者 津田 純一

三重県三重郡朝日町大字繩生2121番地 株
式会社東芝三重工場内

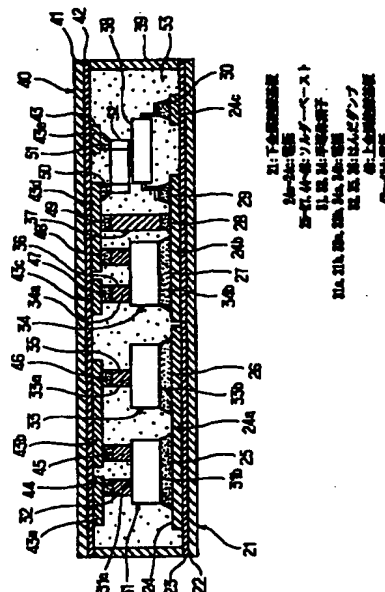
(74) 代理人 弁理士 佐藤 強

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】

【課題】 占有面積や高さの縮小化、損失の低減、放熱性の向上、信頼性の向上、並びに生産性の向上を図り得るようにする。

【解決手段】 下金属絶縁基板21の上面の電極24a～24cに solderペースト25～27を付着させ、この solderペースト25～27上に、上面の電極31a, 33a, 34aにはんだバンプ32, 35, 36を設けた半導体素子31, 33, 34を搭載する。そして、はんだバンプ32, 35, 36上に、下面の電極43a～43dに solderペースト44～48を付着させた上金属絶縁基板40を搭載して、これらを加熱し前記両 solderペースト25～27, 44～48を溶融させることによって、半導体素子31, 33, 34の下面の電極31b, 33b, 34bと下金属絶縁基板21の上面の電極24a～24c、及び半導体素子31, 33, 34の上面の電極31a, 33a, 34aと上金属絶縁基板40の下面の電極43a～43dとを接合させた。



【特許請求の範囲】

【請求項1】 下金属絶縁基板の上面の電極に溶ダーペーストを付着させ、その溶ダーペースト上に、上面の電極にはんだバンプを設けた半導体素子を下面の電極により接するように搭載し、この半導体素子のはんだバンプ上に、下面の電極に溶ダーペーストを付着させた上金属絶縁基板を搭載して、これらを加熱し前記両溶ダーペーストを溶融させることによって、前記半導体素子の下面の電極と下金属絶縁基板の上面の電極、及び半導体素子の上面の電極と上金属絶縁基板の下面の電極とを接合したことを特徴とする半導体装置の製造方法。

【請求項2】 両溶ダーペーストの加熱溶融を、下金属絶縁基板及び上金属絶縁基板の各金属ベースに接触した熱板からの熱伝導によって行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 下金属絶縁基板及び上金属絶縁基板の少なくともいずれか一方に代えて、上下の両面に電極を有する両面基板を用い、これの外側の面の電極に他の電子部品を実装したことを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】 上下の基板の各隅部に位置決め用の孔を形成し、この孔を、位置決め用治具が有するピンに嵌めて位置決めすると共に、上下の基板の間にスペーサを配設し、このスペーサの高さを変えることによって、上下の基板の間の寸法の調整を可能としたことを特徴とする請求項1ないし3のいずれかに記載の半導体装置の製造方法。

【請求項5】 下型治具の凹部に半導体素子を配置し、この半導体素子の上面を上型治具で覆って、この上型治具が有する貫通孔に配置したはんだを加熱溶融させることにより、はんだバンプを形成すると共に、その上型治具の貫通孔とこれに配置するはんだの大きさを変えることにより、はんだバンプの寸法の変更を可能としたことを特徴とする請求項1ないし4のいずれかに記載の半導体装置の製造方法。

【請求項6】 下型治具の凹部に、半導体素子よりも先に放熱板、及び放熱板用はんだを順に配置し、上型治具が有する貫通孔に配置したはんだを加熱溶融させると同時に、その放熱板用はんだを加熱溶融させることにより、はんだバンプを形成すると同時に、半導体素子に放熱板を接合することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 上面に電極を有する下金属絶縁基板と、上下の両面に電極を有し、その下面の電極を前記下金属絶縁基板の上面の電極にはんだ又は導電性接着剤により接合させて実装された半導体素子と、この半導体素子の上面の電極の上に配置された導電体

と、

上下の両面に電極を有し、その下面の電極を、前記導電体を介して前記半導体素子の上面の電極に圧接させた上金属絶縁基板と、

この上金属絶縁基板と前記下金属絶縁基板との間に充填されたシリコンゲルとを具備して成ることを特徴とする半導体装置。

【請求項8】 半導体素子の下面の電極を、下金属絶縁基板の上面の電極にはんだ又は導電性接着剤により接合させるのに代えて、下金属絶縁基板の上面の電極に圧接により接合させたことを特徴とする請求項7記載の半導体装置。

【請求項9】 上下の両面に電極を有する上金属絶縁基板に代えて、下面にのみ電極を有する上金属絶縁基板を用いたことを特徴とする請求項7又は8記載の半導体装置。

【請求項10】 上金属絶縁基板と前記下金属絶縁基板との間に、シリコンゲルを充填するのに代えて、絶縁性ガスを封入したことを特徴とする請求項7ないし9のいずれかに記載の半導体装置。

【請求項11】 上金属絶縁基板と前記下金属絶縁基板との間に、シリコンゲルを充填するのに代えて、半導体素子を囲繞する凹部を有すると共に導電体を囲繞する孔を有する絶縁性プレートを配設したことを特徴とする請求項7ないし9のいずれかに記載の半導体装置。

【請求項12】 上金属絶縁基板と前記下金属絶縁基板との間に、シリコンゲルを充填するのに代えて、半導体素子を囲繞する凹部を有する第1の絶縁性シートと、導電体を囲繞する孔を有する第2の絶縁性シートとを配設したことを特徴とする請求項7ないし9のいずれかに記載の半導体装置。

【請求項13】 上金属絶縁基板と前記下金属絶縁基板との間に、シリコンゲルを充填するのに代えて、モールド樹脂を充填したことを特徴とする請求項7ないし9のいずれかに記載の半導体装置。

【請求項14】 上金属絶縁基板と前記下金属絶縁基板との間に、シリコンゲルを充填するのに代えて、シリコンゲル又はモールド樹脂により半導体素子を個別に封止し、その各封止部分間に空間をあけたことを特徴とする請求項7ないし9のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、上下の両面に電極を有する半導体素子を基板に実装して成る半導体装置の製造方法及び半導体装置に関する。

【0002】

【従来の技術】 従来より、この種の半導体装置においては、図14に示すように、金属ベース1の上面にガラスエポキシ樹脂やセラミック等の絶縁体2を設け、これの上面に銅等の導電性金属を材料とする回路配線3を形成

して成る金属絶縁基板4を使用している。

【0003】上記金属絶縁基板4上の回路配線3の図中央の電極3aには、上下の両面にそれぞれ電極5a、5bを有する半導体素子（例えばパワーMOSFETやIGBTといったパワー素子）5を、下面の電極5bによりはんだ6を用いて実装している。この半導体素子5の上面の電極5aは1つ又は複数存在するものであり、下面の電極5bは半導体素子5の下面全部に存している。又、電極3aには、同じく上下の両面にそれぞれ電極7a、7bを有する半導体素子7を、下面の電極7bによりはんだ8を用いて実装している。

【0004】そして、半導体素子5の上面の電極5aから他の半導体素子7の上面の電極7aへは、導電性金属、一般的にはアルミニウムを材料とするワイヤ9を用いて接続しており、又、半導体素子5の上面の電極5a、及び半導体素子7の上面の電極7aから、金属絶縁基板4上の回路配線3の他の電極3b、3cへも同様のワイヤ10、11を用いて接続している。

【0005】更に、電極3bには外部入出力端子12をはんだ13を用いて接合しており、この状態で、それらを覆うように金属絶縁基板4にケース14を接着し、このケース14と金属絶縁基板4との間に、絶縁性の樹脂例えばシリコンゲル15を充填した構造となっている。なお、金属絶縁基板4の下面には放熱フィン16を設けている。

【0006】

【発明が解決しようとする課題】上述の半導体装置では、金属絶縁基板4の回路配線3に、半導体素子5、7を実装する電極3a以外に、ワイヤ10、11を接続する電極3b、3cが必要であり、その分、金属絶縁基板4の面積が大きく必要とされて、全体の占有面積が大きくなっていた。

【0007】又、シリコンゲル15及びケース14は、半導体素子5、7を覆うのみならず、それらの上に配線したワイヤ9～11をも覆う構造であるため、全体の高さが大きくなっていた。加えて、この半導体装置をインバータ等の産業機器で使用する場合、それに必要な回路配線基板（図示せず）は、外部入出力端子12を経由してこの半導体装置と接続されるため、その回路配線基板はケース14の上に積載されることになり、これによって全体の高さが一層大きくなっていた。

【0008】更に、上述の半導体装置において、半導体素子5、7がトランジスタのような場合には、コレクタとエミッタ間の飽和電圧が“ゼロ”ではなく、損失分として発生する。この損失は、通常発熱となり、使用時の温度上昇を招いて、半導体装置の寿命、信頼性に影響を与える。

【0009】又、そのような温度上昇に対して、シリコンゲル15は熱伝導率が小さく、半導体素子5、7が発した熱の大部分は下方の金属絶縁基板4に伝達される。

しかして、この伝達された熱は、金属絶縁基板4の下面に設けられた放熱フィン16を通じて放熱されるが、一方向のみの伝達であり、効率が非常に悪い。

【0010】更に、上述のごとく使用時に温度上昇すると、熱疲労が発生する。特に過大な負荷をかけた場合には、この熱疲労が大きくなるため、ワイヤ9、10、11のボンディング接合部9a、10a、11aで剥離を生じ、半導体装置が故障することが考えられる。

【0011】本発明は上述の事情に鑑みてなされたものであり、従ってその目的は、占有面積や高さの縮小が可能で、損失の低減もでき、更に、放熱性の向上、信頼性の向上、並びに生産性の向上を図ることのできる半導体装置の製造方法及び半導体装置を提供するにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置の製造方法は、下金属絶縁基板の上面の電極に溶剤ペーストを付着させ、その溶剤ペースト上に、上面の電極にはんだバンプを設けた半導体素子を下面の電極により接するように搭載し、この半導体素子のはんだバンプ上に、下面の電極に溶剤ペーストを付着させた上金属絶縁基板を搭載して、これらを加熱し前記両溶剤ペーストを溶融させることによって、前記半導体素子の下面の電極と下金属絶縁基板の上面の電極、及び半導体素子の上面の電極と上金属絶縁基板の下面の電極とを接合したことを特徴とする（請求項1）。

【0013】このような半導体装置の製造方法によれば、半導体素子は、下金属絶縁基板の上面の電極、及び上金属絶縁基板の下面の電極に、それぞれ溶剤ペースト溶融後の溶剤（はんだ）により接合されるから、上下の両金属絶縁基板に、半導体素子を実装する電極以外、従来のワイヤを接続するような電極を必要とすることがない。

【0014】又、全体の高さについては、従来のワイヤまで覆うような高さを必要としない。更に、上下の両金属絶縁基板でインバータ等を構成するについても、それらに半導体素子を直接的に実装でき、従来の外部入出力端子を経由するような接続構造、並びに上の回路配線基板をケースの上に積載するような構造を不要ならしめ得る。

【0015】加えて、上述の溶剤ペースト溶融後の溶剤による接合面積は、従来のワイヤによるボンディング接合面積よりも大きく、その分、接合部分のインピーダンスを小さくできて、半導体装置としての損失を低減できる。又、半導体素子の発した熱は、下金属絶縁基板に伝達されると共に、上金属絶縁基板にも伝達されるもので、その両方により放熱できる。そして、その放熱が良好にできることにより、熱疲労を小さくでき、接合部分の剥離等を生じることがないようにし得る。

【0016】更に、半導体素子の下面の電極と下金属絶

10

20

30

40

50

緑基板の上面の電極とを接合すると同時に、半導体素子の上面の電極（はんだバンプ）と上金属絶縁基板の下面の電極とを接合することができるので、それらに別々の工程を要さず、かくして生産性を向上させることができる。

【0017】この場合、両溶剤ペーストの加熱溶融は、下金属絶縁基板及び上金属絶縁基板の各金属ベースに接触した熱板からの熱伝導によって行うようにしても良い（請求項2）。又、下金属絶縁基板及び上金属絶縁基板の少なくともいずれか一方に代えて、上下の両面に電極を有する両面基板を用い、これの外側の面の電極に他の電子部品を実装すると良い（請求項3）。

【0018】本発明の半導体装置は、上面に電極を有する下金属絶縁基板と、上下の両面に電極を有し、その下面の電極を前記下金属絶縁基板の上面の電極にはんだ又は導電性接着剤により接合させて実装された半導体素子と、この半導体素子の上面の電極の上に配置された導電体と、上下の両面に電極を有し、その下面の電極を、前記導電体を介して前記半導体素子の上面の電極に圧接させた上金属絶縁基板と、この上金属絶縁基板と前記下金属絶縁基板との間に充填されたシリコンゲルとを具備して成ることを特徴とする（請求項7）。

【0019】このような半導体装置によれば、上述の半導体装置の製造方法により製造した半導体装置と同様の作用効果が得られるほかに、特に、半導体素子の上面の電極と上金属絶縁基板の下面の電極との接合構造が、導電体を介してそれらを圧接させただけであるため、金属組織的な接合がなく、熱疲労を更に小さくできて、接合部分の破損等を一層生じないようにし得る。この場合、半導体素子の下面の電極も、下金属絶縁基板の上面の電極にはんだ又は導電性接着剤により接合させるのに代えて、下金属絶縁基板の上面の電極に圧接により接合させるようにしても良い（請求項8）。

【0020】又、上金属絶縁基板と前記下金属絶縁基板との間に、シリコンゲルを充填するのに代えて、絶縁性ガスを封入しても良く（請求項10）、半導体素子を囲繞する凹部を有すると共に導電体を囲繞する孔を有する絶縁性プレートを配設しても良いもので（請求項1

1）、更に、半導体素子を囲繞する位置に凹部を有する第1の絶縁性シートと、導電体を囲繞する孔を有する第2の絶縁性シートとを配設しても良く（請求項12）、モールド樹脂を充填しても良い（請求項13）。そして、それらシリコンゲル又はモールド樹脂は、半導体素子を個別に封止するように設け、その各封止部分間には空間をあけると良い（請求項14）。

【0021】

【発明の実施の形態】以下、本発明の第1実施例につき、図1及び図2を参照して説明する。まず図1には、半導体装置の全体構成を示しており、これの下金属絶縁基板21は、金属ベース22と、これの上面に設けたガ

ラスエポキシ樹脂やセラミック等の絶縁体23、及びこの絶縁体23の上面に形成した銅等の導電性金属を材料とする回路配線24から成っており、回路配線24は電極24a、24b、24cを有している。

【0022】このような下金属絶縁基板21に対し、電極24a、24b、24cにはそれぞれ溶剤ペースト25、26、27、28、29、30を付着させる。この溶剤ペースト25～30の付着は、例えば印刷により行っており、そのほか、塗布、点滴、浸漬等の方法により行うようにしても良い。

【0023】次いで、電極24a上の溶剤ペースト25には、上面に半導体素子31を搭載する。この半導体素子31は、例えばパワーMOSFETやIGBTといったパワー素子であり、上下の両面にそれぞれ電極31a、31bを有している。このうち、上面の電極31aは例えば1つ又は複数（この場合、複数）存し、下面の電極31bは例えば半導体素子31の下面全部に存している。このような半導体素子31の上面の電極31aの上には、はんだダンプ32を設けており、前記溶剤ペースト25の上面には、このはんだダンプ32を設けた半導体素子31を、下面の電極31bにより接するように搭載する。

【0024】又、同じく電極24a上の溶剤ペースト26には、上面に半導体素子33を搭載し、電極24b上の溶剤ペースト27には、上面に半導体素子34を搭載する。これらの半導体素子33、34は、上述の半導体素子31と同一又は同様のものであり、その各上面の電極33a、34aの上には、はんだダンプ35、36を設けていて、前記溶剤ペースト26、27の各上面には、このはんだダンプ35、36を設けた半導体素子33、34を、それぞれ下面の電極33b、34bにより接するように搭載する。

【0025】このほか、電極24b上の溶剤ペースト28には、上面に導通スペーサ37を搭載し、同じく電極24b上の溶剤ペースト29と電極24c上の溶剤ペースト30には、上面にIC38を搭載する。又、下金属絶縁基板21の周縁部上には、上述の各搭載部品を覆うケース39を載置する。

【0026】そして、上記半導体素子31、33、34の各はんだバンプ32、35、36と導通スペーサ37の上には、上金属絶縁基板40を搭載する。この上金属絶縁基板40は、前記下金属絶縁基板21と同様で、上下を反転させたものであり、従って、金属ベース41と、これの下面に設けたガラスエポキシ樹脂やセラミック等の絶縁体42、及びこの絶縁体41の下面に形成した銅等の導電性金属を材料とする回路配線43から成っており、回路配線43は電極43a、43b、43c、43d、43eを有している。

【0027】又、このような上金属絶縁基板21の各電極43a～43eには、それぞれ溶剤ペースト4

4, 45, 46, 47, 48, 49, 50, 51を付着させている。この溶剤ペースト44~51の付着は、前述の溶剤ペースト25~30と同様の方法で行っている。更に、そのうちの電極43d下の溶剤ペースト50と電極43e下の溶剤ペースト51には、下面にチップ部品52を搭載し、その上で、それらの溶剤ペースト50, 51を加熱溶融させることにより、チップ部品52を電極43d, 43eに接合させて実装している。

【0028】なお、上記溶剤ペースト44~51の付着と、チップ部品52の実装は、上金属絶縁基板40の各電極43a~43eを上にした状態で行っている。又、溶剤ペースト25~30と溶剤ペースト44~51には、はんだバンプ32~36よりも融点の低いものを使用している。

【0029】この溶剤ペースト44~51を付着させ、チップ部品52を実装した上金属絶縁基板40を、上下に反転させて、前記半導体素子31, 33, 34の各はんだバンプ32, 35, 36と導通スペーサ37の上に、溶剤ペースト44~49を介して搭載する。

【0030】この後、リフロー炉等の加熱炉を用いて、溶剤ペースト25~30, 44~51の融点からからはんだバンプ32~36の融点までの範囲の温度で、全体を加熱することにより、溶剤ペースト25~30, 44~49を溶融させ、かくして、半導体素子31, 33, 34の各下面の電極31b, 33b, 34b、導通スペーサ37の下端、及びIC38と、下金属絶縁基板21の上面の電極24a~24cとを接合すると同時に、半導体素子31, 33, 34の各上面の電極31a, 33a, 34a（はんだバンプ32, 35, 36）、及び導通スペーサ37の上端と、上金属絶縁基板*

*40の下面の電極43a~43dとを接合する。そしてその後、下金属絶縁基板21とケース39及び上金属絶縁基板40の内方には、絶縁性の合成樹脂、例えばシリコンゲル53を充填して、硬化させる。

【0031】このようにして製造した半導体装置においては、半導体素子31, 33, 34は、下金属絶縁基板21の上面の電極24a, 24b、及び上金属絶縁基板40の下面の電極43a~43dに、それぞれ溶剤ペースト25~27, 44~48溶融後の溶剤（はんだ）により接合されるから、下・上の両金属絶縁基板21, 40に、半導体素子31, 33, 34を実装する電極24a, 24b, 43a~43d以外、従来のワイヤ9~11を接続するような電極を必要とすることがない。よって、その分、下金属絶縁基板21及び上金属絶縁基板40の面積を小さく済ませることができ、全体の占有面積の縮小化を達成できる。

【0032】又、全体の高さについては、従来のワイヤ9~11まで覆うような高さを必要としない。更に、下・上の両金属絶縁基板21, 40でインバータ等を構成するについても、それらに半導体素子31, 33, 34を直接的に実装でき、従来の外部入出力端子12を経由するような接続構造、並びに上の回路配線基板をケース14の上方に積載するような構造を不要ならしめ得るから、全体の高さの縮小化も所望に達成できる。

【0033】下記の表1は、従来のワイヤボンディング接合によるトランジスタモジュールと制御基板とを組合わせたインバータ回路と、本発明の構成によるインバータ回路との大きさの比較を表したものである。

【0034】

【表1】

	底面積 [mm ²]	高さ [mm]	体積 [mm ³]
従来法	9000	70	63000
本発明法	4000	40	16000

【0035】この表1から明らかなように、本発明の構成によるインバータ回路では、従来のワイヤボンディング接合によるトランジスタと制御基板とを組合わせたインバータ回路に対して、底面積が約1/2、高さも約1/2、そして体積は約1/4になっており、充分に小形化できることが分かる。

【0036】一方、溶剤ペースト25~27, 44~48溶融後の溶剤による接合面積は、従来のワイヤ9~11によるボンディング接合面積よりも大きく、その分、接合部分のインピーダンスを小さくでき、半導体装置としての損失を低減できる。

【0037】図2は、同一ロットの半導体素子で、従来のワイヤボンディング接合による半導体装置と、本発明の構成による半導体装置との、それぞれコレクタ・エミ

ッタ間の飽和電圧及び順電圧の比較を表したものである。このコレクタ・エミッタ間の飽和電圧及び順電圧は、その値が大きいほど損失が大きい。この図2から明らかなように、コレクタ・エミッタ間の飽和電圧及び順電圧ともに、本発明の構成による半導体装置の方が小さくなっており、損失を低減していることが分かる。更に、半導体素子31, 33, 34の発した熱は、下金属絶縁基板21に伝達されると共に、上金属絶縁基板40にも伝達されるもので、その両方により放熱できる。

【0038】下記の表2は、同一ロットの半導体素子で、従来のワイヤボンディング接合による半導体装置と、本発明の構成による半導体装置とで、定格電流の120[%]の負荷電流を2秒間加え、18秒間停止させることを繰返し行なったときに、半導体素子32, 3

3, 34を実装した下金属絶縁基板21に負荷電流を加えたときの温度上昇を測定した結果を示している。

【0039】

【表2】

	温度上昇
従来のワイヤボンディング法	8.1
本発明による方法	4.1

【0040】この表2から明らかなように、従来のワイヤボンディング接合による半導体装置では約8 [℃]の温度上昇があったのに対して、本発明の構成による半導体装置では、前述のごとく上金属絶縁基板40にも熱が*

*伝達されるため、約4 [℃]の温度上昇しかなく、放熱性に優れていることが分かる。

【0041】そして、このように放熱が良好にできることにより、熱疲労を小さくでき、接合部分の剥離等を生じることがないようにし得る。

【0042】下記の表3は、従来のワイヤボンディング接合による半導体装置と、本発明の構成による半導体装置とで、上述同様に定格電流の120 [%]の負荷電流を2秒間加え、18秒間停止させることを繰返し行なったときの、故障するまでのサイクル数を示したものである。

【0043】

【表3】

	故障サイクル数
従来のワイヤボンディング法	39634
本発明による方法	76548

【0044】この表3から明らかなように、従来のワイヤボンディング接合による半導体装置では約4000回で故障したのに対して、本発明の構成による半導体装置では約8000回まで持っており、信頼性の高いことが確認された。

【0045】加えて、上述の製造方法によれば、半導体素子31, 33, 34の各下面の電極31b, 33b, 34bと、下金属絶縁基板21の上面の電極24a~24cとを接合すると同時に、半導体素子31, 33, 34の各上面の電極31a, 33a, 34a (はんだバンプ32, 35, 36)と、上金属絶縁基板40の下面の電極43a~43dとを接合することができるので、それらに別々の工程を要さず、かくして生産性を向上させることができる。

【0046】以上に対して、図3ないし図13は本発明の第2ないし第12実施例を示すもので、それぞれ、第1実施例と同一の部分には同一の符号を付して説明を省略し、異なる部分についてのみ述べる。

【0047】【第2実施例】図3に示す第2実施例においては、前述の加熱炉に代えて、ヒータ61を内設した下熱板62と、ヒータ63を内設した下熱板64とを用いており、溶剤ペースト25~30, 44~49の加熱溶融時に、その下熱板62を下金属絶縁基板21の金属ベース22に接触させ、上熱板64を上金属絶縁基板40の金属ベース41に接触させる。

【0048】そして、その状態で、ヒータ61, 63に通電する。すると、それらのヒータ61, 63から発せられる熱が、下熱板62から下金属絶縁基板21を通じて溶剤ペースト25~30に伝導すると共に、上熱板64から上金属絶縁基板40を通じて溶剤ペースト44~49に伝導する。

【0049】これらの熱伝導により、溶剤ペースト

25~30, 44~49を溶融させるものであり、かくして、半導体素子31, 33, 34の各下面の電極31b, 33b, 34b、導通スペーサ37の下端、及びIC38と、下金属絶縁基板21の上面の電極24a~24cとを接合すると同時に、半導体素子31, 33, 34の各上面の電極31a, 33a, 34a (はんだバンプ32, 35, 36)、及び導通スペーサ37の上端と、上金属絶縁基板40の下面の電極43a~43dとを接合する。この場合、溶剤ペースト25~30, 44~49には、はんだバンプ32~36よりも融点の高いもの、あるいは同じものを使用する。

【0050】この方法によれば、熱伝導による加熱であるため、溶剤ペースト25~30, 44~49に、はんだバンプ32~36よりも融点の高いもの、あるいは同じものを使用でき、例えばSn-Ag系はんだのような導電率の高いはんだを使用することが可能となるものであり、それによって、半導体素子31, 33, 34の上金属絶縁基板40との接合部のインピーダンスを更に小さくでき、半導体装置としての損失を一層低減することができる。

【0051】【第3実施例】図4に示す第3実施例においては、上金属絶縁基板40に代えて、上両面金属絶縁基板71を用いている。この上両面金属絶縁基板71は、金属ベース72の上下両面に絶縁体73, 74を設けて、更にその上下両面に回路配線75, 76を設けて成るもので、回路配線75は電極75a~75fを有し、回路配線76は電極76a~76fを有している。

【0052】このような上両面金属絶縁基板71の各電極75a~75f, 76a~76fには、それぞれ溶剤ペースト77~86, 87~96を付着させている。又、そのうちの下面の溶剤ペースト93, 94にはチップ部品97を下面に搭載し、溶剤ペースト

95, 96にはチップ部品98を同じく下面に搭載しており、その上で、それらの溶剤ペースト93~96を加熱溶融させることにより、チップ部品97, 98を電極76d~76fに接合させて実装している。

【0053】更に、この場合の外側の面である上面の溶剤ペースト77, 78にはチップ部品99を上面に搭載し、溶剤ペースト79, 80にはチップ部品100を、溶剤ペースト81, 82にはIC101を、溶剤ペースト83, 84にはチップ部品102を、溶剤ペースト85, 86にはチップ部品103を、それぞれ同じく上面に搭載している。なお、この場合、溶剤ペースト77~96には、半導体素子31, 33, 34上のはんだバンプ32~36よりも融点の低いものを使用している。

【0054】この溶剤ペースト77~96を付着させ、チップ部品97, 98を実装すると共に、チップ部品99, 100, 102, 103及びIC101を搭載した上両面金属絶縁基板71を、下金属基板21上の半導体素子31, 33, 34の各はんだバンプ32, 35, 36と導通スペーサ37の上に、溶剤ペースト87~92を介して搭載する。

【0055】この後、リフロー炉等の加熱炉を用いて、溶剤ペースト25~30, 77~96の融点からからはんだバンプ32~36の融点までの範囲の温度で、全体を加熱することにより、溶剤ペースト25~30, 77~92を溶融させ、かくして、半導体素子31, 33, 34の各下面の電極31b, 33b, 34b、導通スペーサ37の下端、及びIC38と、下金属絶縁基板21の上面の電極24a~24cとを接合すると同時に、半導体素子31, 33, 34の各上面の電極31a, 33a, 34a（はんだバンプ32, 35, 36）、及び導通スペーサ37の上端と、上両面金属絶縁基板71の下面の電極76a~76dとを接合し、更に同時に、チップ部品99, 100, 102, 103及びIC101を電極75a~75fに接合する。

【0056】この方法によれば、第1実施例のものより更に多くの電子部品を実装するのに、それを第1実施例と同じ占有面積の、小形のもので実現できる。なお、この場合、上両面金属絶縁基板71は、ガラスエポキシ樹脂基板など、合成樹脂をベースとするものに変えても良い。このものでも、放熱性は劣るものの、小形化や損失の低減については、第1実施例同様の効果を得ることができる。

【0057】又、上両面金属絶縁基板71は、上金属絶縁基板40に代えてではなく、下金属絶縁基板21に代えて用いても良く、この場合には、上金属絶縁基板40の下側の面が外側の面となり、チップ部品99, 100, 102, 103及びIC101といった他の電子部品は、その上金属絶縁基板40の下側の面の電極に実装する。更に、上両面金属絶縁基板71は、上金属絶縁基

板40及び下金属絶縁基板21の双方に代えて用いても良い。加えて、この場合、溶剤ペースト25~30, 77~92の加熱溶融は、第2実施例の両熱板62, 64からの熱伝導によって行うようにしても良い。

【0058】〔第4実施例〕図5に示す第4実施例においては、下・上の両金属絶縁基板21, 40の各隅部に位置決め用の孔111, 112を形成して、位置決め用治具113の同じく隅部に設けたピン114に、下金属絶縁基板21の孔111、スペーサ115、上金属絶縁基板40の孔112の順に嵌合することにより、下・上の両金属絶縁基板21, 40の位置決めをし、この状態で、溶剤ペースト25~30, 44~49を溶融させる加熱を行う。

【0059】これによって、半導体素子31, 33, 34の各上面の電極31a, 33a, 34a（はんだバンプ32, 35, 36）、及び導通スペーサ37の上端と、上金属絶縁基板40の下面の電極43a~43dとを位置精度良く接合できて、組立ての精度を向上させることができる。

【0060】又、この場合、スペーサ115は下・上の両金属絶縁基板21, 40間に位置されるもので、このスペーサ115の高さを変えることにより、下・上の両金属絶縁基板21, 40の間の寸法の調整ができる。これにより、半導体装置の全体の高さを使用機器の寸法に応じたものに調整できると共に、半導体装置の特性に要求されるインピーダンスを持った寸法のはんだバンプ及び溶剤ペーストの選択が可能となり、信頼性の一層の向上を達成することができる。

【0061】なお、この場合も、溶剤ペースト25~30, 44~49の加熱溶融は、リフロー炉等の加熱炉、並びに第2実施例の両熱板62, 64からの熱伝導のいずれで行うようにしても良い。又、下・上の両金属絶縁基板21, 40は、その少なくとも一方を両面基板に変えて実施するようにしても良い。

【0062】〔第5実施例〕図6に示す第5実施例においては、半導体素子31, 33, 34の各はんだバンプ32, 35, 36の形成について、加熱による寸法変化の比較的少ないカーボンやセラミック等の材料で作製した下型治具121の各凹部122に、半導体素子31, 33, 34（半導体素子31で代表して示す）を配置し、この半導体素子31, 33, 34の上面の電極31a, 33a, 34a（これも電極31aで代表して示す）にはんだ付け用のフラックスを塗布する。

【0063】この後、下型治具121の位置決めピン123に上型治具124の位置決め孔125を嵌合して、上記半導体素子31, 33, 34の上面の電極31a, 33a, 34aを、上型治具124により覆う。そして、上型治具124が有する貫通孔126にそれぞれはんだ127を、例えばボールの状態で供給するボールマウンタを用いて配置し、その上で、加熱炉等による全体

10

20

30

40

50

の加熱を行って、はんだ127を溶融させることにより、はんだ127を半導体素子31、33、34の上面の電極31a、33a、34aに接合させて、はんだバンプ32、35、36（これもはんだバンプ32で代表して示す）を形成する。

【0064】この方法によれば、はんだ127の溶融によるぬれ広がりでもって、半導体素子31、33、34の電極31a、33a、34aと同じ面積を有するはんだバンプ32、35、36を形成できるものであり、それによって、半導体素子31、33、34の電極31a、33a、34aとはんだバンプ32、35、36との接合部のインピーダンスを更に小さくでき、半導体装置としての損失を低減できる。

【0065】又、この場合、上型治具124の貫通孔126とこれに配置するはんだ127の大きさを変えることにより、はんだバンプ32、35、36の寸法を変えることができるものであり、これによって、半導体装置の特性に要求されるインピーダンスを持った寸法のはんだバンプの形成が可能となり、信頼性の一層の向上を達成することができる。しかも、この場合、一度に多くの

はんだバンプを形成することも可能であり、生産性を良くできる。
【0066】【第6実施例】図7に示す第6実施例においては、同じく半導体素子31、33、34の各はんだバンプ32、35、36の形成について、第5実施例の下型治具121同様の材料で作製した下型治具131の各凹部132に、放熱板133をそれぞれ配置し、その上に、放熱板用はんだ134を配置する。そして、更にその上に、半導体素子31、33、34（半導体素子31で代表して示す）を配置し、この半導体素子31、33、34の上面の電極31a、33a、34a（これも電極31aで代表して示す）にはんだ付け用のフラックスを塗布する。

【0067】この後、下型治具131の位置決めピン135に上型治具136の位置決め孔137を嵌合して、上記半導体素子31、33、34の上面の電極31a、33a、34aを、上型治具136により覆う。そして、上型治具136が有する貫通孔138にそれぞれはんだ139を例えば前述のボールマウンタを用いて配置し、その上で、加熱炉等による全体の加熱を行って、はんだ134、139を溶融させることにより、半導体素子31、33、34の下面の電極31b、33b、34bにそれぞれ放熱板133を接合させると共に、はんだバンプ32、35、36（これもはんだバンプ32で代表して示す）を形成する。

【0068】この方法によれば、第5実施例同様の効果が得られるほかに、半導体素子31、33、34に対する放熱板133の接合が、はんだバンプ32、35、36の形成と同時にできることにより、生産性を向上させることができる。そして、その接合した放熱板133に

より、半導体素子31、33、34の放熱をより盛んに行うことができる。

【0069】【第7実施例】図8に示す第7実施例においては、下金属絶縁基板21の電極24a、24b上に、半導体素子31、33、34を、はんだ141、142、143により、下面の電極31b、33b、34bを接合させて実装している。この場合、はんだ141～143に代えて、導電性接着剤を用いても良い。又、電極24b、24c上には、導電ゴムコネクタ144を実装しており、下金属絶縁基板21の下面には放熱板145を設けている。

【0070】そして、半導体素子31、33、34の上面の電極31a、33a、34aの上には、銅や銀等から成る導電体146、147、148をそれぞれ配置し、更にその上方に、第3実施例で用いた上両面金属絶縁基板71を、下面の電極76a～76dにより接触させて配置している。又、上両面金属絶縁基板71は、下面の電極76d、76eを導電ゴムコネクタ144の上面に接触させている。

【0071】この状態で、上下の金属絶縁基板71、21を、ケース39を挟んでそれらの間に通したねじ等の固定部材149で締め付け、この締め付けにより、上両面金属絶縁基板71の下面の電極76a～76dを、導電体146～148を介して半導体素子31、33、34の上面の電極31a、33a、34aに圧接させている。又、上両面金属絶縁基板71の下面の電極76d、76eは、導電ゴムコネクタ144の上面に圧接させている。なお、これらの圧接は、上下の金属絶縁基板71、21を固定部材149で結合するのに代えて、爪で結合することにより、行うようにしても良い。

【0072】このように構成したものでは、第1実施例の半導体装置の製造方法により製造した半導体装置と同様の作用効果が得られるほかに、特に、半導体素子31、33、34の上面の電極31a、33a、34aと上両面金属絶縁基板71の下面の電極76a～76dとの接合構造が、導電体146～148を介してそれらを圧接させただけであるため、はんだや導電性接着剤により接合させて実装する工程が不要であり、生産性を更に向上させることができる。

【0073】又、その圧接させただけの接合構造では、金属組織的な接合がなく、熱疲労を更に小さくできるので、接合部分の破損等を一層生じないようにし得、信頼性を更に良くすることができる。加えて、この場合、上両面金属絶縁基板71の上面の電極75a～75eには、チップ部品99、100及びIC101を実装しており、これによって、第1実施例のものより多くの電子部品を実装するのに、それを第1実施例と同じ占有面積の、小形のものと実現できる効果も得ることができる。

【0074】【第8実施例】図9に示す第8実施例においては、上両面金属絶縁基板71の下面の電極76a～

76dを、導電体146~148を介して、半導体素子31, 33, 34の上面の電極31a, 33a, 34aに圧接させると共に、半導体素子31, 33, 34の下面の電極31b, 33b, 34bも、下金属絶縁基板21の上面の電極24a, 24bに、はんだ141~143又は導電性接着剤により接合させるのに代えて、圧接により接合させている。

【0075】このように構成したものでは、半導体素子31, 33, 34を下金属絶縁基板21にはんだ141~143や導電性接着剤により接合させて実装する工程が不要になり、しかも、半導体素子31, 33, 34の上面の電極31a, 33a, 34aと合わせて圧接ができるため、生産性を向上させることができる。

【0076】【第9実施例】図10に示す第9実施例においては、上述の上下の両面に電極75a~75e, 76a~76eを有する上金属絶縁基板71に代えて、金属ベース151の下面にのみ絶縁体152を設け、更にその下面にのみ回路配線153を設けて成る上金属絶縁基板154を用いて、その回路配線153の電極153a~153dを、導電体146~148を介して、半導体素子31, 33, 34の上面の電極31a, 33a, 34aに圧接させると共に、電極153d, 153eを、導電ゴムコネクタ144の上面に圧接させている。

【0077】なお、上金属絶縁基板154の電極153eには、はんだ155を用いて外部入力端子156のリード156aを実装すると共に、この外部入力端子156を下金属絶縁基板21の絶縁体23と間で挟設している。このように構成したものでは、第1実施例のものより多くの電子部品を実装するについて、それを小形のもので実現できる効果以外は、第7実施例の半導体装置と同様の作用効果を得ることができる。

【0078】なお、この場合も、半導体素子31, 33, 34の下面の電極31b, 33b, 34bは、下金属絶縁基板21の上面の電極24a, 24bに、はんだ141~143又は導電性接着剤により接合させているが、それに代えて、第8実施例のように、圧接により接合させるようにしても良い。

【0079】又、先の第7実施例ないし第9実施例においても、下金属絶縁基板21とケース39及び上金属絶縁基板71(154)の内方には、それぞれシリコンゲル53を充填しているが、それに代えて、絶縁性ガスを封入しても良い。この絶縁性ガスを封入したのものによれば、シリコンゲル53を硬化させる工程が不要になり、生産性を向上させることができる。又、シリコンゲル53を充填する場合に考えられたボイドの発生も、絶縁性ガスによれば生じず、信頼性を向上させることができる。

【0080】更に、この場合、下金属絶縁基板21とケース39及び上金属絶縁基板71(154)の内方には、シリコンゲル53に代えて、例えばエポキシ樹脂等

のモールド樹脂を充填し硬化させても良い。このエポキシ樹脂等のモールド樹脂を充填し硬化させたものによれば、そのモールド樹脂の硬化の際の収縮力でもって、下金属絶縁基板21と上金属絶縁基板71(154)との間隔を狭め、それらの、半導体素子31, 33, 34に対する圧接を強めて、信頼性を向上させることができる。

【0081】【第10実施例】図11に示す第10実施例においては、同じく、下金属絶縁基板21と上金属絶縁基板71(154)との間に、シリコンゲル53を充填するのに代えて、半導体素子31, 33, 34を囲繞する凹部161~163を有すると共に、導電体146~148を囲繞する孔164~166を有する、例えばシリコンゴム等の絶縁材で作製した絶縁性プレート167を配設している。

【0082】このように構成したものでは、絶縁性プレート167で、下金属絶縁基板21と上金属絶縁基板71(154)との間の絶縁性の確保ができると共に、半導体素子31, 33, 34の上面の電極31a, 33a, 34aに対する導電体146~148の位置決めも、その絶縁性プレート167でできるようになり、組立精度を向上させることができる。

【0083】【第11実施例】図12に示す第11実施例においては、同じく、下金属絶縁基板21と上金属絶縁基板71(154)との間に、シリコンゲル53を充填するのに代えて、半導体素子31, 33, 34を囲繞する凹部171~173を有する、例えばシリコンゴム等の絶縁材で作製した第1の絶縁性シート174と、導電体146~148を囲繞する孔175~177を有する、同じくシリコンゴム等の絶縁材で作製した第2の絶縁性シート178とを配設している。

【0084】このように構成したものでも、上記第10実施例と同様の効果を得ることができる。又、この場合、半導体素子31, 33, 34を囲繞する凹部171~173と、導電体146~148を囲繞する孔175~177の形成が、第1の絶縁性シート174と第2の絶縁性シート178とに別々にできるため、加工が容易で、生産性を向上させることができる。

【0085】【第12実施例】図13に示す第12実施例においては、同じく、下金属絶縁基板21と上金属絶縁基板71(154)との間に、シリコンゲル53を充填するのに代えて、シリコンゲル181~183により半導体素子31, 33, 34を個別に封止し、その各封止部分間に空間184, 185をあけている。

【0086】このように構成したものでは、シリコンゲル181~183による封止部分が半導体素子31, 33, 34ごとに離間しているため、それらシリコンゲル181~183が硬化するとき、並びに半導体素子31, 33, 34の発熱等によってシリコンゲル181~183が膨脹するときの、それらに伴う上下の基板71

(154)、21の横方向の変位量を小さく留め得、両基板71(154)、21に対する半導体素子31、33、34の相対的な位置ずれを抑制できて、組立精度を向上させることができる。

【0087】なお、基板71(154)、21間には耐圧を確保するのに充分な間隔をあけている。このため、シリコンゲル181~183による封止部分間には、特に絶縁材を設ける必要はないが、しかし、基板71(154)、21間が極端に狭くなるなど、より優れた絶縁性が要求される場合には、その各封止部分間に絶縁ガスを封入すると良い。

【0088】又、半導体素子31、33、34ごとの封止は、シリコンゲル181~183に代えて、エポキシ樹脂等のモールド樹脂で行っても良い。特にこのようにした場合には、モールド樹脂が硬化するときの収縮力をもって、両基板71(154)、21の、半導体素子31、33、34に対する圧接を強めて、信頼性を向上させることができる。

【0089】更に、この場合、導電ゴムコネクタ144に代えて、導電体146~148同様の導電体を使用し、この導電体もシリコンゴムあるいはモールド樹脂で個別に封止するようにしても良い。このほか、本発明は上記し且つ図面に示した実施例にのみ限定されるものではなく、要旨を逸脱しない範囲内で適宜変更して実施し得る。

【0090】

【発明の効果】本発明は以上説明したとおりのもので、下記の効果を奏する。請求項1の半導体装置の製造方法によれば、占有面積や高さの縮小化を達成できると共に、損失の低減もでき、更に、放熱性の向上、信頼性の向上、並びに生産性の向上を達成することができる。

【0091】請求項2の半導体装置の製造方法によれば、ソルダーペーストに導電率の高いはんだを使用することが可能で、半導体素子の接合部のインピーダンスを更に小さくでき、損失を一層低減することができる。請求項3の半導体装置の製造方法によれば、多くの電子部品を実装するのに、それを占有面積の小さい、小形のもので実現することができる。

【0092】請求項4の半導体装置の製造方法によれば、半導体素子の上面の電極と上金属絶縁基板の下面の電極とを位置精度良く接合できて組立精度を向上できると共に、半導体装置の全体の高さを使用機器の寸法に応じたものに調整でき、且つ、半導体装置の特性に要求されるインピーダンスを持った寸法のはんだバンプ及びソルダーペーストの選択が可能となって、信頼性の一層の向上を達成することができる。

【0093】請求項5の半導体装置の製造方法によれば、接合部のインピーダンスの小さいはんだバンプを形成できて、半導体装置の損失を低減でき、併せて、半導体装置の特性に要求されるインピーダンスを持った寸法

のはんだバンプを形成できて、信頼性の一層の向上を達成することができる。請求項6の半導体装置の製造方法によれば、請求項5の半導体装置の製造方法同様の効果が得られるほかに、半導体素子に対する放熱板の接合が、はんだバンプの形成と同時にできて、生産性を向上させることができ、更に、その接合した放熱板により、半導体素子の放熱性を向上させることができる。

【0094】請求項7の半導体装置によれば、請求項1の半導体装置の製造方法により製造した半導体装置と同様の効果が得られるほかに、特に生産性を更に向上させることができ、又、半導体素子と上両面金属絶縁基板との接合部分の熱疲労を更に小さくできて、信頼性を更に向上させることができる。加えて、多くの電子部品を実装するのに、それを占有面積の小さい、小形のもので実現することができる。請求項8の半導体装置によれば、半導体素子を下金属絶縁基板に接合させるのも、上金属絶縁基板に対する半導体素子の上面の電極の圧接と同じ圧接でできるため、生産性を一層向上させることができる。請求項9の半導体装置によれば、小形化以外、請求項7の半導体装置と同様の作用効果を得ることができる。請求項10の半導体装置によれば、絶縁充填物の硬化工程が不要になって、生産性を向上させることができる。又、その絶縁充填物にボイドの発生もなく、信頼性を向上させることができる。

【0095】請求項11の半導体装置によれば、半導体素子の上面の電極に対する導電体の位置決めが、絶縁性プレートでできるようになって、組立精度を向上させることができる。請求項12の半導体装置によれば、請求項11の半導体装置同様の効果が得られるほかに、絶縁性シートの加工も容易で、生産性を更に向上させることができる。

【0096】請求項13の半導体装置によれば、モールド樹脂の硬化の際の収縮力をもって、下金属絶縁基板と上金属絶縁基板の、半導体素子に対する圧接を強めて、信頼性を向上させることができる。請求項14の半導体装置によれば、下金属絶縁基板と上金属絶縁基板に対する半導体素子の相対的な位置ずれを抑制できて、組立精度を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す半導体装置全体の完成状態の縦断面図

【図2】特性図

【図3】本発明の第2実施例を示す半導体装置全体の加熱工程状態の縦断面図

【図4】本発明の第3実施例を示す図1相当図

【図5】本発明の第4実施例を示す図3相当図

【図6】本発明の第5実施例を示すはんだバンプ作製工程状態の縦断面図

【図7】本発明の第6実施例を示す図6相当図

【図8】本発明の第7実施例を示す図1相当図

19

20

【図9】本発明の第8実施例を示す図1相当図

【図10】本発明の第9実施例を示す図1相当図

【図11】本発明の第10実施例を示す図1相当図

【図12】本発明の第11実施例を示す図1相当図

【図13】本発明の第12実施例を示す図1相当図

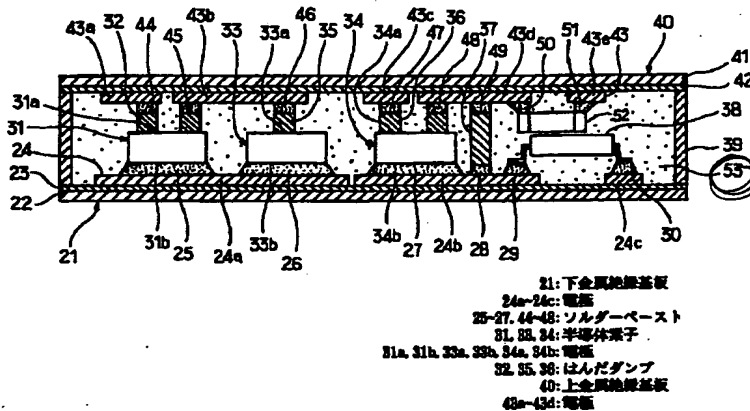
【図14】従来例を示す図1相当図

【符号の説明】

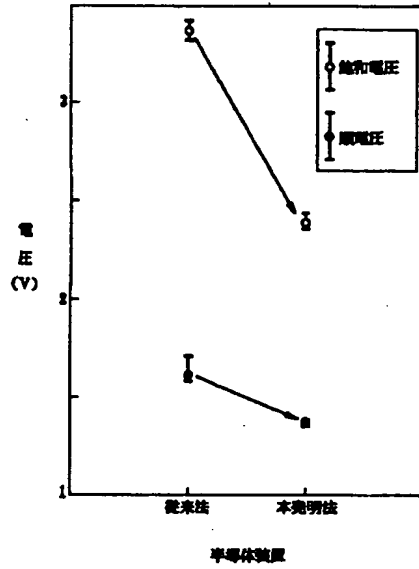
21は下金属絶縁基板、24a～24cは電極、25～27は solder パスト、31は半導体素子、31a、31bは電極、32ははんだダンプ、33は半導体素子、33a、33bは電極、34は半導体素子、34a、34bは電極、35、36ははんだダンプ、40は上金属絶縁基板、43a～43dは電極、44～48は solder パスト、53はシリコンゲル、62は下熱板、64は上熱板、71は上両面金属絶縁基板、75a～75fは電極、76a～76dは電極、77～81は

solder パスト、87～96は solder パスト、99、100、102、103はチップ部品（他の電子部品）、101はIC（他の電子部品）、111、112は位置決め用の孔、113は位置決め用治具、114はピン、115はスペーサ、121は下型治具、122は凹部、124は上型治具、126は貫通孔、127ははんだ、131は下型治具、132は凹部、133は放熱板、134は放熱板用はんだ、136は上型治具、138は貫通孔、139、141～143ははんだ、146～148は導電体、149は固定部材、153a～153dは電極、154は上金属絶縁基板、161～163は凹部、164～166は孔、167は絶縁性プレート、171～173は凹部、174は絶縁性シート、175～177は孔、178は絶縁性シート、181～183はシリコンゲル、184、185は空間を示す。

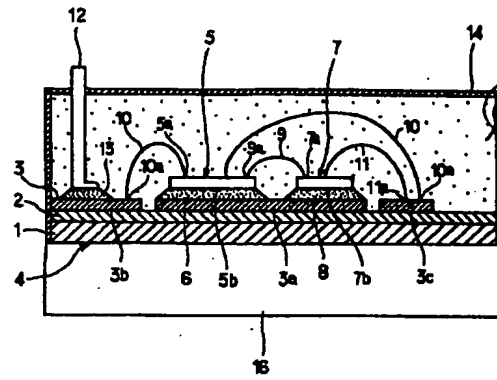
【図1】



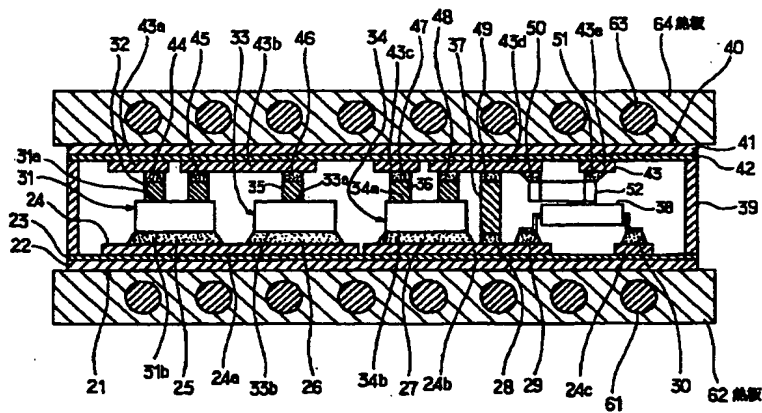
【図2】



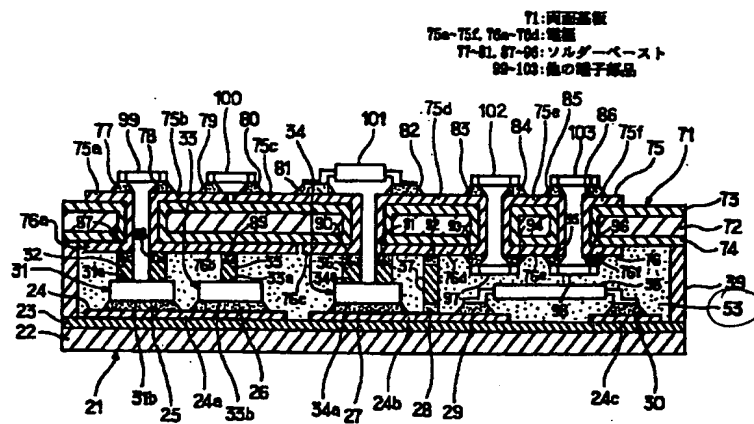
【図14】



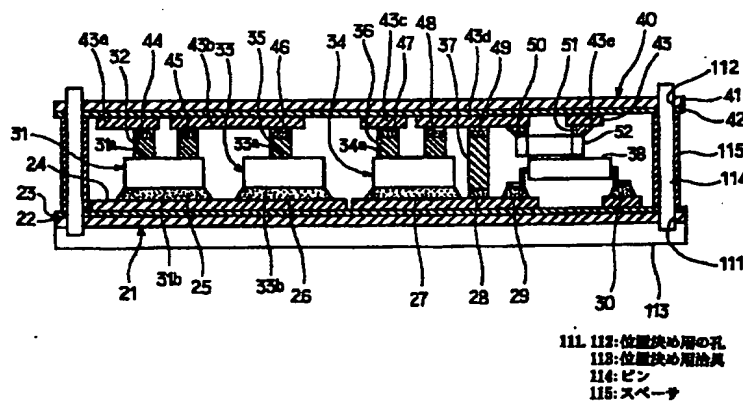
【図3】



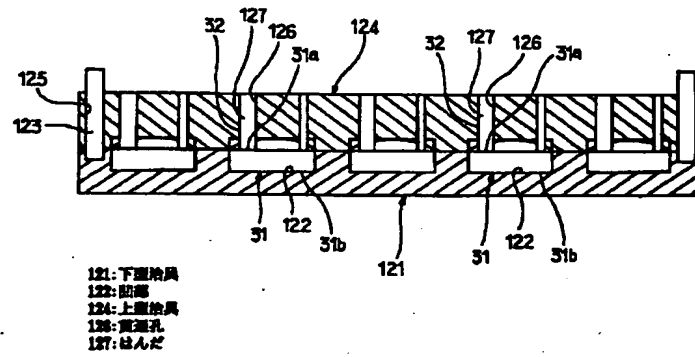
【図4】



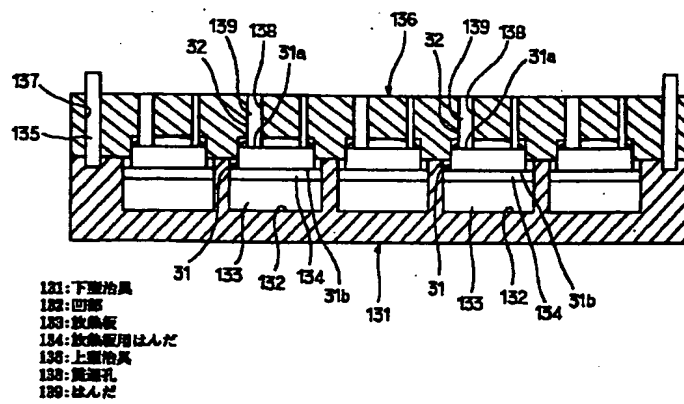
【図5】



【図6】



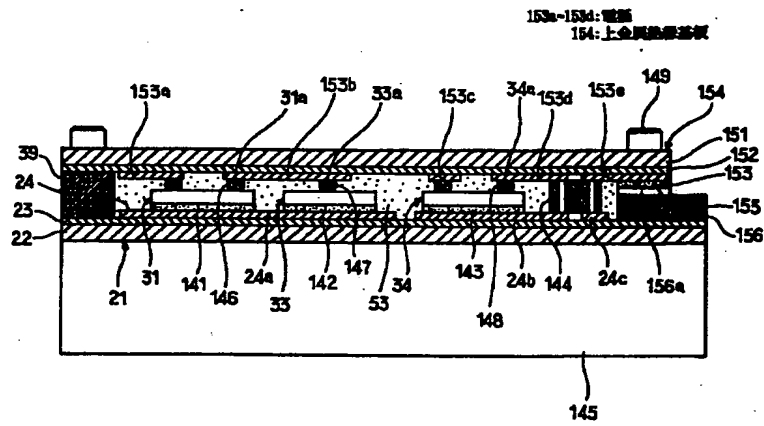
【図7】



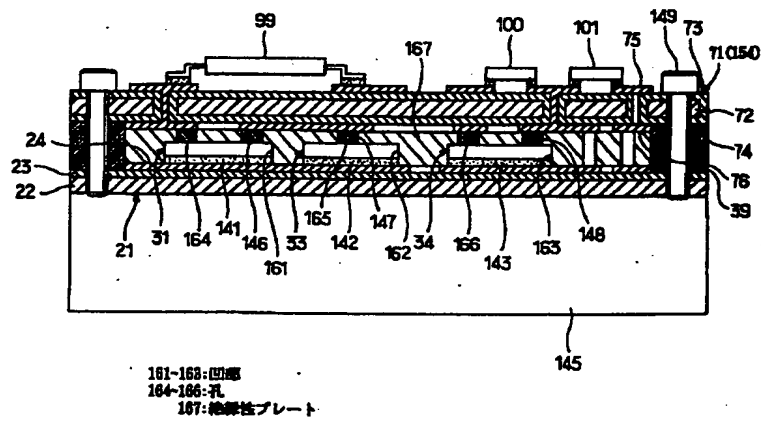
53: シリコンゲル
 141~143: はんだ
 145~148: 半導体

This diagram shows a cross-sectional view of a multi-layered electronic device assembly. The assembly is contained within a rectangular housing 145. It consists of several horizontal layers: a top layer 71, a middle layer 72, and a bottom layer 73. Various components are mounted on these layers, including a central component 99, side components 100 and 101, and a bottom component 147. Numerous electrical connections and contacts are labeled with numbers such as 75a, 75b, 75c, 75d, 75e, 76a, 76b, 76c, 76d, 76e, 77, 78a, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 122, 123, 124, 125, 126, 127, 128, 129, 130, 131, 132, 133, 134, 135, 136, 137, 138, 139, 140, 141, 142, 143, 144, 145, 146, 147, 148, 149, 150, 151, 152, 153, 154, 155, 156, 157, 158, 159, 160, 161, 162, 163, 164, 165, 166, 167, 168, 169, 170, 171, 172, 173, 174, 175, 176, 177, 178, 179, 180, 181, 182, 183, 184, 185, 186, 187, 188, 189, 190, 191, 192, 193, 194, 195, 196, 197, 198, 199, 200, 201, 202, 203, 204, 205, 206, 207, 208, 209, 210, 211, 212, 213, 214, 215, 216, 217, 218, 219, 220, 221, 222, 223, 224, 225, 226, 227, 228, 229, 230, 231, 232, 233, 234, 235, 236, 237, 238, 239, 240, 241, 242, 243, 244, 245, 246, 247, 248, 249, 250, 251, 252, 253, 254, 255, 256, 257, 258, 259, 260, 261, 262, 263, 264, 265, 266, 267, 268, 269, 270, 271, 272, 273, 274, 275, 276, 277, 278, 279, 280, 281, 282, 283, 284, 285, 286, 287, 288, 289, 290, 291, 292, 293, 294, 295, 296, 297, 298, 299, 300, 301, 302, 303, 304, 305, 306, 307, 308, 309, 310, 311, 312, 313, 314, 315, 316, 317, 318, 319, 320, 321, 322, 323, 324, 325, 326, 327, 328, 329, 330, 331, 332, 333, 334, 335, 336, 337, 338, 339, 340, 341, 342, 343, 344, 345, 346, 347, 348, 349, 350, 351, 352, 353, 354, 355, 356, 357, 358, 359, 360, 361, 362, 363, 364, 365, 366, 367, 368, 369, 370, 371, 372, 373, 374, 375, 376, 377, 378, 379, 380, 381, 382, 383, 384, 385, 386, 387, 388, 389, 390, 391, 392, 393, 394, 395, 396, 397, 398, 399, 400, 401, 402, 403, 404, 405, 406, 407, 408, 409, 410, 411, 412, 413, 414, 415, 416, 417, 418, 419, 420, 421, 422, 423, 424, 425, 426, 427, 428, 429, 430, 431, 432, 433, 434, 435, 436, 437, 438, 439, 440, 441, 442, 443, 444, 445, 446, 447, 448, 449, 450, 451, 452, 453, 454, 455, 456, 457, 458, 459, 460, 461, 462, 463, 464, 465, 466, 467, 468, 469, 470, 471, 472, 473, 474, 475, 476, 477, 478, 479, 480, 481, 482, 483, 484, 485, 486, 487, 488, 489, 490, 491, 492, 493, 494, 495, 496, 497, 498, 499, 500, 501, 502, 503, 504, 505, 506, 507, 508, 509, 510, 511, 512, 513, 514, 515, 516, 517, 518, 519, 520, 521, 522, 523, 524, 525, 526, 527, 528, 529, 530, 531, 532, 533, 534, 535, 536, 537, 538, 539, 540, 541, 542, 543, 544, 545, 546, 547, 548, 549, 550, 551, 552, 553, 554, 555, 556, 557, 558, 559, 560, 561, 562, 563, 564, 565, 566, 567, 568, 569, 570, 571, 572, 573, 574, 575, 576, 577, 578, 579, 580, 581, 582, 583, 584, 585, 586, 587, 588, 589, 590, 591, 592, 593, 594, 595, 596, 597, 598, 599, 600, 601, 602, 603, 604, 605, 606, 607, 608, 609, 610, 611, 612, 613, 614, 615, 616, 617, 618, 619, 620, 621, 622, 623, 624, 625, 626, 627, 628, 629, 630, 631, 632, 633, 634, 635, 636, 637, 638, 639, 640, 641, 642, 643, 644, 645, 646, 647, 648, 649, 650, 651, 652, 653, 654, 655, 656, 657, 658, 659, 660, 661, 662, 663, 664, 665, 666, 667, 668, 669, 670, 671, 672, 673, 674, 675, 676, 677, 678, 679, 680, 681, 682, 683, 684, 685, 686, 687, 688, 689, 690, 691, 692, 693, 694, 695, 696, 697, 698, 699, 700, 701, 702, 703, 704, 705, 706, 707, 708, 709, 710, 711, 712, 713, 714, 715, 716, 717, 718, 719, 720, 721, 722, 723, 724, 725, 726, 727, 728, 729, 730, 731, 732, 733, 734, 735, 736, 737, 738, 739, 740, 741, 742, 743, 744, 745, 746, 747, 748, 749, 750, 751, 752, 753, 754, 755, 756, 757, 758, 759, 760, 761, 762, 763, 764, 765, 766, 767, 768, 769, 770, 771, 772, 773, 774, 775, 776, 777, 778, 779, 780, 781, 782, 783, 784, 785, 786, 787, 788, 789, 790, 791, 792, 793, 794, 795, 796, 797, 798, 799, 800, 801, 802, 803, 804, 805, 806, 807, 808, 809, 810, 811, 812, 813, 814, 815, 816, 817, 818, 819, 820, 821, 822, 823, 824, 825, 826, 827, 828, 829, 830, 831, 832, 833, 834, 835, 836, 837, 838, 839, 840, 841, 842, 843, 844, 845, 846, 847, 848, 849, 850, 851, 852, 853, 854, 855, 856, 857, 858, 859, 860, 861, 862, 863, 864, 865

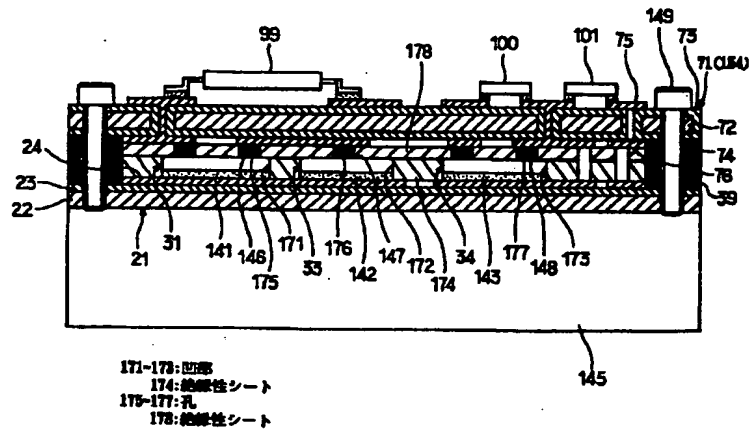
【図10】



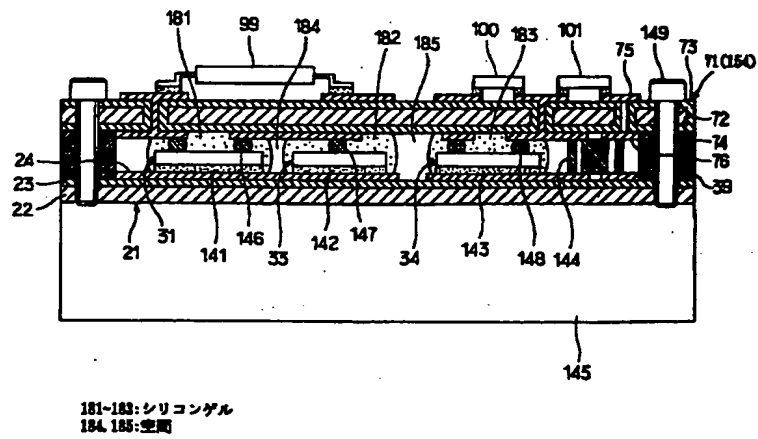
【図11】



【図12】



【図13】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture method of a semiconductor device and semiconductor device which mount the semiconductor device which has an electrode in a substrate, and grow into up-and-down both sides.

[0002]

[Description of the Prior Art] Conventionally, as this kind of semiconductor device is shown in drawing 14, the insulators 2, such as a glass epoxy resin and a ceramic, are formed in the upper surface of the metal base 1, and the metal insulating substrate 4 which forms the circuit wiring 3 made from conductive metals, such as copper, in the upper surface of this, and grows into it is used.

[0003] The semiconductor device (for example, power metal-oxide semiconductor field effect transistor and a power element called IGBT) 5 which has Electrodes 5a and 5b, respectively is mounted in electrode 3a of the center of the inside of drawing of the circuit wiring 3 on the above-mentioned metal insulating substrate 4 at up-and-down both sides using solder 6 by electrode 5b at the bottom. One or more electrode 5a of the upper surface of this semiconductor device 5 consists, and electrode 5b at the bottom consists in all the inferior surfaces of tongue of a semiconductor device 5. Moreover, similarly the semiconductor device 7 which has Electrodes 7a and 7b, respectively is mounted in electrode 3a at up-and-down both sides using solder 8 by electrode 7b at the bottom.

[0004] and to electrode 7a of the upper surface of other semiconductor devices 7, from electrode 5a of the upper surface of a semiconductor device 5 It has connected using a conductive metal and the wire 9 made from aluminum generally. Moreover, it has connected with other electrodes 3b and 3c of the circuit wiring 3 on the metal insulating substrate 4 using the same wires 10 and 11 from electrode 5a of the upper surface of a semiconductor device 5, and electrode 7a of the upper surface of a semiconductor device 7.

[0005] Furthermore, the external I/O terminal 12 is joined to electrode 3b using solder 13, and a case 14 is pasted up on the metal insulating substrate 4 so that they may be covered in this state, and it has structure filled up between this case 14 and the metal insulating substrate 4, insulating resin 15, for example, silicon gel. In addition, the radiation fin 16 is formed in the inferior surface of tongue of the metal insulating substrate 4.

[0006]

[Problem(s) to be Solved by the Invention] In the above-mentioned semiconductor device, the electrodes 3b and 3c which connect wires 10 and 11 were required for the circuit wiring 3 of the metal insulating substrate 4 in addition to electrode 3a which mounts semiconductor devices 5 and 7, the area of the part and the metal insulating substrate 4 was needed greatly, and the whole occupancy area was large.

[0007] Moreover, since the silicon gel 15 and a case 14 were wrap structures also about the wires 9-11 which wired not only a wrap but those upper parts in semiconductor devices 5 and 7, the whole height was large. In addition, when this semiconductor device was used by industrial devices, such as an inverter, since a circuit wiring substrate (not shown) required for it was connected with this semiconductor device via the external I/O terminal 12, the circuit wiring substrate will be loaded above a case 14, and the whole height had become still larger by this.

[0008] Furthermore, in an above-mentioned semiconductor device, case [whose semiconductor devices 5 and 7 are / like a transistor], the saturation voltage between a collector and an emitter occurs not as "zero" but as a lost part. This loss is usually generating heat, causes the temperature rise at the time of use, and affects the life of a semiconductor device, and reliability.

[0009] Moreover, to such a temperature rise, the silicon gel 15 has small thermal conductivity, and most heat which semiconductor devices 5 and 7 emitted is transmitted to the downward metal insulating substrate 4. A deer is carried out, although this transmitted heat radiates heat through the radiation fin 16 prepared in the undersurface of the metal insulating substrate 4, on the other hand, it is only Mukai's transfer, and its efficiency is very bad.

[0010] Furthermore, if a temperature rise is carried out like **** at the time of use, a thermal fatigue will occur. Since this thermal fatigue becomes large when an excessive load is applied especially, exfoliation is produced in the bonding joints 9a, 10a, and 11a of wires 9, 10, and 11, and it is possible that a semiconductor device breaks down.

[0011] this invention is made in view of an above-mentioned situation, therefore reduction of occupancy area or height is possible for the purpose, reduction of loss can also be performed, and it is in offering further the manufacture method of a semiconductor

device and semiconductor device which can aim at improvement in thermolysis nature, improvement in reliability, and improvement in productivity.

[0012]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the manufacture method of the semiconductor device of this invention A solder paste is made to adhere to the electrode of the upper surface of the Shimokane group insulating substrate. on the solder paste Carry the semiconductor device which prepared the solder bump in the electrode on top so that it may touch by the electrode at the bottom, and the upper metal insulating substrate which made the solder paste adhere to an electrode at the bottom is carried on the solder bump of this semiconductor device. By heating these and carrying out melting of both the aforementioned solders paste, it is characterized by joining the electrode of the inferior surface of tongue of the aforementioned semiconductor device, the electrode of the upper surface of the Shimokane group insulating substrate, and the electrode of the upper surface of a semiconductor device and the electrode of the inferior surface of tongue of an upper metal insulating substrate (claim 1).

[0013] According to the manufacture method of such a semiconductor device, since it is joined to the electrode of the upper surface of the Shimokane group insulating substrate, and the electrode of the undersurface of an upper metal insulating substrate by the solder after solder paste melting (solder), respectively, a semiconductor device does not need an electrode which connects the conventional wire except the electrode which mounts a semiconductor device in both the up-and-down metal insulating substrate.

[0014] Moreover, height which is covered to the conventional wire is not needed about the whole height. Furthermore, even if it attaches for constituting an inverter etc. from both up-and-down metal insulating substrate, a semiconductor device can be directly mounted in them and connection structure which goes via the conventional external I/O terminal, and structure which loads the upper circuit wiring substrate above a case can be closed, if unnecessary.

[0015] In addition, the plane-of-composition product by the solder after above-mentioned solder paste melting is larger than a bonding plane-of-composition product with the conventional wire, can make the impedance for the part and a joint small, and can reduce the loss as a semiconductor device. Moreover, the heat which the semiconductor device emitted is transmitted also to an upper metal insulating substrate, and can radiate heat by the both while it is transmitted to the Shimokane group insulating substrate. And when the heat dissipation can be performed good, a thermal fatigue can be made small and it may be made not to produce exfoliation for a joint etc.

[0016] furthermore -- since the electrode (solder bump) of the upper surface of a semiconductor device and the electrode of the undersurface of an upper metal insulating substrate are joinable while joining the electrode of the undersurface of a semiconductor device, and the electrode of the upper surface of the Shimokane group insulating substrate -- a process separate to them -- ***** -- productivity can be raised in this way

[0017] In this case, heat conduction from the hot platen in contact with each metal base of the Shimokane group insulating substrate and an upper metal insulating substrate may be made to perform heating melting of both the solders paste (claim 2). Moreover, it is good to replace with either at least and to mount other electronic parts at the electrode of the field of the outside of this using the double-sided substrate of the Shimokane group insulating substrate and an upper metal insulating substrate which has an electrode to up-and-down both sides (claim 3).

[0018] The semiconductor device which the semiconductor device of this invention has an electrode to the Shimokane group insulating substrate which has an electrode on the upper surface, and up-and-down both sides, and was mounted by joining the electrode of the undersurface to the electrode of the upper surface of the aforementioned Shimo metal insulating substrate by solder or the electroconductive glue, The conductor arranged on the electrode of the upper surface of this semiconductor device, and the upper metal insulating substrate which it has [insulating substrate] an electrode to up-and-down both sides, and carried out the pressure welding of the electrode of the undersurface to the electrode of the upper surface of the aforementioned semiconductor device through the aforementioned conductor, It is characterized by providing the silicon gel with which it besides filled up between the metal insulating substrate and the aforementioned Shimo metal insulating substrate, and changing. (claim 7).

[0019] Since the same operation effect as the semiconductor device manufactured by the manufacture method of an above-mentioned semiconductor device is acquired according to such a semiconductor device and also the junction structure of the electrode of the upper surface of a semiconductor device and the electrode of the undersurface of an upper metal insulating substrate only carried out the pressure welding of them through the conductor especially, there is no metal texture-junction, a thermal fatigue can make still smaller, and it may make not produce breakage for a joint etc. further. In this case, the electrode of the undersurface of a semiconductor device is also replaced with making it join to the electrode of the upper surface of the Shimokane group insulating substrate by solder or the electroconductive glue, and you may make it join it to the electrode of the upper surface of the Shimokane group insulating substrate with a pressure welding (claim 8).

[0020] Moreover, it replaces with being filled up with silicon gel between an upper metal insulating substrate and the aforementioned Shimo metal insulating substrate. It is what may arrange the insulating plate which has the hole which surrounds a conductor while having the crevice which may enclose insulating gas (claim 10) and surrounds a semiconductor device (claim 11). Furthermore, the 1st insulating sheet which has a crevice, and the 2nd insulating sheet which has the hole which surrounds a conductor may be arranged in the position which surrounds a semiconductor device (claim 12), and it may be filled up with a mould resin (claim 13). And as for these silicon gel or a mould resin, it is good to prepare so that a semiconductor device may be closed individually, and to open space between each of that closure portion (claim 14).

[0021]

[Embodiments of the Invention] Hereafter, it explains with reference to drawing 1 per 1st principle of this invention, and drawing 2. First, it has changed to drawing 1 from the circuit wiring 24 with the Shimokane group insulating substrate 21 of this the whole semiconductor device composition is shown and made [with the wiring] from conductive metals, such as the insulators 23, such as a glass epoxy resin prepared in the metal base 22 and the upper surface of this, and a ceramic, and copper formed in the upper surface of this insulator 23, and the circuit wiring 24 has Electrodes 24a, 24b, and 24c in it.

[0022] The solder pastes 25, 26, 27, 28, 29, and 30 are made to adhere to Electrodes 24a, 24b, and 24c to such a Shimokane group insulating substrate 21, respectively. Printing is performing adhesion of these solder pastes 25-30, in addition it may be made to perform it by methods, such as an application, intravenous drip, and being immersed.

[0023] Subsequently, a semiconductor device 31 is carried in the upper surface at the solder paste 25 on electrode 24a. This semiconductor device 31 is power metal-oxide semiconductor field effect transistor and a power element called IGBT, and has Electrodes 31a and 31b to up-and-down both sides, respectively. Among these, one or more (plurality in this case) electrode 31a on top consists, for example, and electrode 31b at the bottom consists in all the undersurfaces of a semiconductor device 31. The solder dumping 32 is formed on electrode 31a of the upper surface of such a semiconductor device 31, and the semiconductor device 31 which formed this solder dumping 32 is carried in the upper surface of the aforementioned solder paste 25 so that it may touch by electrode 31b at the bottom.

[0024] Moreover, similarly, a semiconductor device 33 is carried in the upper surface at the solder paste 26 on electrode 24a, and a semiconductor device 34 is carried in the upper surface at the solder paste 27 on electrode 24b. These semiconductor devices 33 and 34 are the same as that of the above-mentioned semiconductor device 31, or the same, and they have formed the solder dumping 35 and 36 on the electrodes 33a and 34a of each of that upper surface, and they carry the semiconductor devices 33 and 34 which formed these solder dumping 35 and 36 in each upper surface of the aforementioned solder pastes 26 and 27 so that it may touch by the electrodes 33b and 34b at the bottom, respectively.

[0025] In addition, the flow spacer 37 is carried in the upper surface at the solder paste 28 on electrode 24b, and, similarly IC38 is carried in the upper surface at the solder paste 29 on electrode 24b, and the solder paste 30 on electrode 24c. Moreover, on the periphery section of the Shimokane group insulating substrate 21, the wrap case 39 is laid for each above-mentioned loading part.

[0026] And on the flow spacer 37, the upper metal insulating substrate 40 is carried with each solder bumps 32, 35, and 36 of the above-mentioned semiconductor devices 31, 33, and 34. Besides, the metal insulating substrate 40 is the same as that of the aforementioned Shimo metal insulating substrate 21, it consists of the circuit wiring 43 made from conductive metals, such as the insulators 42, such as a glass epoxy resin which was made to reverse the upper and lower sides, therefore was prepared in the metal base 41 and the undersurface of this, and a ceramic, and copper formed in the undersurface of this insulator 41, and the circuit wiring 43 has Electrodes 43a, 43b, 43c, 43d, and 43e

[0027] Moreover, the solder pastes 44, 45, 46, 47, 48, 49, 50, and 51 are made to adhere to such each electrodes 43a-43e of the upper metal insulating substrate 21, respectively. Adhesion of these solder pastes 44-51 is performed by the same method as the above-mentioned solder pastes 25-30. Furthermore, a chip 52 is carried in the undersurface, on it, by carrying out heating melting of those solder pastes 50 and 51, the solder paste 50 under 43d of electrodes of them and the solder paste 51 under electrode 43e are joined to Electrodes 43d and 43e, and the chip 52 is mounted in them.

[0028] In addition, adhesion of the above-mentioned solder pastes 44-51 and mounting of a chip 52 are performed in the state where each electrodes 43a-43e of the upper metal insulating substrate 40 were turned up. Moreover, what has the melting point lower than the solder bumps 32-36 is used for the solder pastes 25-30 and the solder pastes 44-51.

[0029] These solder pastes 44-51 are made to adhere, it is made reversed up and down and the upper metal insulating substrate 40 which mounted the chip 52 is carried through the solder pastes 44-49 on the flow spacer 37 with each solder bumps 32, 35, and 36 of the aforementioned semiconductor devices 31, 33, and 34.

[0030] Heating furnaces, such as a reflow furnace, are used. then, at the temperature of the range from the solder pastes 25-30 and the melting point of 44-51 to the shell solder bumps' 32-36 melting point By heating the whole, melting of the solder pastes 25-30, and 44-49 is carried out. in this way The electrodes 31b, 33b, and 34b of each undersurface of semiconductor devices 31, 33, and 34, the soffit of the flow spacer 37, and IC38, At the same time it joins the electrodes 24a-24c of the upper surface of the Shimokane group insulating substrate 21 The electrodes 31a, 33a, and 34a (solder bumps 32, 35, and 36) of each upper surface of semiconductor devices 31, 33, and 34, and the upper limit of the flow spacer 37, The electrodes 43a-43d of the undersurface of the upper metal insulating substrate 40 are joined. And in the inner direction of the Shimokane group insulating substrate 21, a case 39, and the upper metal insulating substrate 40, it fills up with and stiffens after that, insulating synthetic resin 53, for example, silicon gel.

[0031] Thus, it sets to the manufactured semiconductor device. Semiconductor devices 31, 33, and 34 The electrodes 24a and 24b of the upper surface of the Shimokane group insulating substrate 21, And since it is joined to the electrodes 43a-43d of the undersurface of the upper metal insulating substrate 40 by the solder after the solder pastes 25-27 and 44-48 melting (solder), respectively An electrode which connects the conventional wires 9-11 is not needed except electrode [which mount semiconductor devices 31, 33, and 34 in both the metal insulating substrates 21 and 40 of the bottom and a top] a [24] and 24b, and 43a-43d. Therefore, the area of the part, the Shimokane group insulating substrate 21, and the upper metal insulating substrate 40 can be finished small, and reduction-ization of the whole occupancy area can be attained.

[0032] Moreover, about the whole height, height which is covered to the conventional wires 9-11 is not needed. Furthermore, even if it attaches for constituting an inverter etc. from both metal insulating substrates 21 and 40 of the bottom and a top,

semiconductor devices 31, 33, and 34 be directly mounted in them, and if unnecessary, once connection structure which goes via the conventional external I/O terminal 12, and structure which loads the upper circuit wiring substrate above a case 14 can be closed, reduction-ization of the whole height can also be attained to a request.

[0033] The following table 1 expresses comparison of the size of the inverter circuit which combined the conventional transistor module and conventional control board by wirebonding junction, and the inverter circuit by the composition of this invention.

[0034]

[Table 1]

	底面積 [mm ²]	高さ [mm]	体積 [mm ³]
従来法	9000	70	63000
本発明法	4000	40	16000

[0035] In the inverter circuit by the composition of this invention, it turns out that about 1/2, height 1 [about] / 2, and about 1/4 of volume are 4, and an area of base can fully be miniaturized to the inverter circuit which combined the conventional transistor and conventional control board by wirebonding junction so that clearly from this table 1.

[0036] On the other hand, the plane-of-composition product by the solder after the solder pastes 25-27 and 44-48 melting is larger than a bonding plane-of-composition product with the conventional wires 9-11, can make the impedance for the part and a joint small, and can reduce the loss as a semiconductor device.

[0037] Drawing 2 is the semiconductor device of the same lot, and expresses comparison of the saturation voltage between collector emitters, and forward voltage as the semiconductor device by the conventional wirebonding junction, and the semiconductor device by the composition of this invention, respectively. The saturation voltage and forward voltage between this collector emitter have loss so large that the value is large. It turns out that the direction of the semiconductor device by the composition of this invention is small, and the saturation voltage and forward voltage between collector emitters are reducing loss so that clearly from this drawing 2. Furthermore, the heat which semiconductor devices 31, 33, and 34 emitted is transmitted also to the upper metal insulating substrate 40, and can radiate heat by the both while it is transmitted to the Shimokane group insulating substrate 21.

[0038] The following table 2 is the semiconductor device of the same lot, is with the semiconductor device by the conventional wirebonding junction, and the semiconductor device by the composition of this invention, and when it repeats adding the load current of 120 [%] of the rated current for 2 seconds, and making it stop for 18 seconds and it is performed, it shows the result which measured the temperature rise when adding the load current to the Shimokane group insulating substrate 21 which mounted semiconductor devices 32, 33, and 34.

[0039]

[Table 2]

	温度上昇
従来のワイヤボンディング法	8.1
本発明による方法	4.1

[0040] Since heat is transmitted also to the upper metal insulating substrate 40 like the above-mentioned with the semiconductor device by the composition of this invention to there having been a temperature rise of about 8 [°C], with the semiconductor device by the conventional wirebonding junction, it turns out that there is only a temperature rise of about 4 [°C] and it excels in thermolysis nature, so that clearly from this table 2.

[0041] And when thermolysis can be done good in this way, a thermal fatigue can be made small and it may be made not to produce ablation for a joint etc.

[0042] The following table 3 is with the semiconductor device by the conventional wirebonding junction, and the semiconductor device by the composition of this invention, and shows the number of cycles until it breaks down when repeating adding the load current of 120 [%] of the rated current for 2 seconds, and making it stop for 18 seconds, and performing it like ****.

[0043]

[Table 3]

	故障サイクル数
従来のワイヤボンディング法	39634
本発明による方法	76548

[0044] To having broken down by about 4000 times, with the semiconductor device by the composition of this invention, it has to about 8000 times and it was checked with the semiconductor device by the conventional wirebonding junction that it is reliable so that clearly from this table 3.

[0045] According to the above-mentioned manufacture method, in addition, the electrodes 31b, 33b, and 34b of each inferior surface of tongue of semiconductor devices 31, 33, and 34, At the same time it joins the electrodes 24a-24c of the upper surface of the Shimokane group insulating substrate 21. The electrodes 31a, 33a, and 34a (solder bumps 32, 35, and 36) of each upper surface of semiconductor devices 31, 33, and 34, Since the electrodes 43a-43d of the inferior surface of tongue of the upper metal insulating substrate 40 are joinable, it *****, a separate process can be hidden in them, and productivity can be raised.

[0046] To the above, drawing 3 or drawing 13 shows the 2nd or 12th example of this invention, gives the same sign to the same portion as the 1st example, respectively, omits explanation, and describes only a different portion.

[0047] In the 2nd example shown in [2nd example] drawing 3 Replace with the above-mentioned heating furnace and the defervescence board 62 which installed the heater 61 inside, and the defervescence board 64 which installed the heater 63 inside are used. At the time of the solder pastes 25-30 and heating melting of 44-49, the defervescence board 62 is contacted at the metal base 22 of the Shimokane group insulating substrate 21, and the upper hot platen 64 is contacted at the metal base 41 of the upper metal insulating substrate 40.

[0048] And it energizes at heaters 61 and 63 in the state. Then, the heat emitted from those heaters 61 and 63 conducts from the upper hot platen 64 to the solder pastes 44-49 through the upper metal insulating substrate 40, while conducting from the defervescence board 62 to the solder pastes 25-30 through the Shimo metal insulating substrate 21.

[0049] It is that to which melting of the solder pastes 25-30, and 44-49 is carried out by these heat conduction. in this way The electrodes 31b, 33b, and 34b of each inferior surface of tongue of semiconductor devices 31, 33, and 34, the soffit of the flow spacer 37, and IC38, At the same time it joins the electrodes 24a-24c of the upper surface of the Shimokane group insulating substrate 21. The electrodes 31a, 33a, and 34a (solder bumps 32, 35, and 36) of each upper surface of semiconductor devices 31, 33, and 34, and the upper limit of the flow spacer 37, The electrodes 43a-43d of the inferior surface of tongue of the upper metal insulating substrate 40 are joined. In this case, what has the melting point higher than the solder bumps 32-36, or the same thing is used for the solder pastes 25-30, and 44-49.

[0050] Since it is heating by heat conduction according to this method, to the solder pastes 25-30, and 44-49 It is what becomes possible [being able to use what has the melting point higher than the solder bumps 32-36, or the same thing, for example, using solder with high conductivity like Sn-Ag system solder]. by it The impedance of a joint with the upper metal insulating substrate 40 of semiconductor devices 31, 33, and 34 can be made still smaller, and the loss as a semiconductor device can be reduced further.

[0051] In the 3rd example shown in [3rd example] drawing 4, it replaces with the upper metal insulating substrate 40, and the upper double-sided metal insulating substrate 71 is used. Besides, the double-sided metal insulating substrate 71 forms insulators 73 and 74 in vertical both sides of the metal base 72, further, forms the circuit wiring 75 and 76 in the vertical both sides, and grows into them, the circuit wiring 75 has Electrodes 75a-75f, and the circuit wiring 76 has Electrodes 76a-76f.

[0052] The solder pastes 77-86, and 87-96 are made to adhere to such each electrodes 75a-75f of the upper double-sided metal insulating substrate 71, and 76a-76f, respectively. Moreover, a chip 97 is carried in an inferior surface of tongue at the solder pastes 93 and 94 of the inferior surface of tongue of them, similarly the chip 98 is carried in the inferior surface of tongue at the solder pastes 95 and 96, on it, by carrying out heating melting of those solder pastes 93-96, it is made to join to Electrodes 76d-76f, and chips 97 and 98 are mounted.

[0053] furthermore -- the solder pastes 77 and 78 of the upper surface which is a field of the outside in this case -- a chip 99 -- the upper surface -- carrying -- the solder pastes 79 and 80 -- a chip 100 -- the solder pastes 81 and 82 -- similarly the chip 103 is carried [IC101 / at the solder pastes 83 and 84] for the chip 102 in the upper surface the solder pastes 85 and 86, respectively In addition, the low thing of the melting point is used for the solder pastes 77-96 in [bumps / solder / 32-36 / semiconductor devices 31 and 33 and / on 34] this case.

[0054] While making these solder pastes 77-96 adhere and mounting chips 97 and 98, the upper double-sided metal insulating substrate 71 which carried the chip 99,100,102,103 and IC101 is carried through the solder pastes 87-92 on the flow spacer 37 with each solder bumps 32, 35, and 36 of the semiconductor devices 31, 33, and 34 on the Shimokane group substrate 21.

[0055] Heating furnaces, such as a reflow furnace, are used. then, at the temperature of the range from the solder pastes 25-30 and the melting point of 77-96 to the shell solder bumps' 32-36 melting point By heating the whole, melting of the solder pastes 25-30, and 77-92 is carried out. in this way The electrodes 31b, 33b, and 34b of each inferior surface of tongue of semiconductor devices 31, 33, and 34, the soffit of the flow spacer 37, and IC38, At the same time it joins the electrodes 24a-24c of the upper surface of the Shimokane group insulating substrate 21. The electrodes 31a, 33a, and 34a (solder bumps 32, 35, and 36) of each upper surface of semiconductor devices 31, 33, and 34, and the upper limit of the flow spacer 37, The electrodes 76a-76d of the inferior surface of tongue of the upper double-sided metal insulating substrate 71 are joined, and a chip 99,100,102,103 and IC101 are joined to Electrodes 75a-75f still more nearly simultaneous.

[0056] According to this method, although further many electronic parts are mounted, it is [of the same occupancy area as the 1st example] small, and it can be realized from the thing of the 1st example to it. In addition, the upper double-sided metal insulating substrate 71 may change a glass epoxy resin substrate etc. into what uses synthetic resin as the base in this case. Although this thing is also inferior, as for thermolysis nature, it can acquire the same effect as the 1st example about reduction of a miniaturization or loss.

[0057] moreover, the upper double-sided metal insulating substrate 71 -- the upper metal insulating substrate 40 -- replacing with -- coming out -- there is nothing, and you may replace with and use for the Shimokane group insulating substrate 21, the field of the upper metal insulating-substrate 40 bottom turns into an outside field in this case, and a chip 99,100,102,103 and other

electronic parts called IC101 are mounted in the electrode of the field of the upper metal insulating-substrate 40 bottom. Furthermore, you may replace with and use the upper double-sided metal insulating substrate 71 for the both sides of the upper metal insulating substrate 40 and the Shimokane group insulating substrate 21. In addition, heat conduction from both the hot platens 62 and 64 of the 2nd example may be made to perform the solder pastes 25-30 and heating melting of 77-92 in this case. [0058] In the 4th example shown in [4th example] drawing 5 The hole 111, 112 for positioning is formed in each corner of both the metal insulating substrates 21 and 40 of the bottom and a top. By fitting into the pin 114 of the fixture 113 for positioning similarly prepared in the corner in order of the hole 112 of the hole 111 of the Shimokane group insulating substrate 21, a spacer 115, and the upper metal insulating substrate 40 Both the metal insulating substrates 21 and 40 of the bottom and a top are positioned, and the solder pastes 25-30 and heating to which melting of 44-49 is carried out are performed in this state. [0059] this -- the electrode 43 of the electrodes 31a, 33a, and 34a (solder bumps 32, 35, and 36) of each upper surface of semiconductor devices 31, 33, and 34 and the upper limit of the flow spacer 37, and the inferior surface of tongue of the upper metal insulating substrate 40 -- a-43d can be joined with a sufficient position precision, and the precision of an assembly can be raised

[0060] Moreover, in this case, a spacer 115 is located between both the metal insulating substrate 21 of the bottom and a top, and 40, and can perform adjustment of the size between both the metal insulating substrates 21 and 40 of the bottom and a top by changing the height of this spacer 115. Thereby, while being able to adjust the height of the whole semiconductor device to the thing according to use sizing, the solder bump of a size with the impedance required of the property of a semiconductor device and selection of a solder paste are attained, and much more improvement in reliability can be attained.

[0061] In addition, you may be made to perform the solder pastes 25-30 and heating melting of 44-49 by any of heat conduction from both the hot platens 62 and 64 of heating furnaces, such as a reflow furnace, and the 2nd example also in this case. Moreover, both the metal insulating substrates 21 and 40 of the bottom and a top change at least one of these into a double-sided substrate, and may be made to carry it out.

[0062] In the 5th example shown in [5th example] drawing 6 About formation of each solder bumps 32, 35, and 36 of semiconductor devices 31, 33, and 34 To each crevice 122 of the female mold fixture 121 produced with material by heating, such as comparatively few carbon of a dimensional change, and a ceramic Semiconductor devices 31, 33, and 34 (it represents with a semiconductor device 31 and shown) are arranged, and the flux for soldering is applied to the electrodes 31a, 33a, and 34a (this is also represented with electrode 31a and shows) of the upper surface of these semiconductor devices 31, 33, and 34.

[0063] Then, the tooling holes 125 of the punch fixture 124 are fitted into the gage pin 123 of the female mold fixture 121, and it is a wrap by the punch fixture 124 about the electrodes 31a, 33a, and 34a of the upper surface of the above-mentioned semiconductor devices 31, 33, and 34. Solder 127 is arranged using the ball mounter supplied in the state of a ball, respectively to the breakthrough 126 which the punch fixture 124 has. and on it By heating the whole by the heating furnace etc. and carrying out melting of the solder 127, solder 127 is joined to the electrodes 31a, 33a, and 34a of the upper surface of semiconductor devices 31, 33, and 34, and the solder bumps 32, 35, and 36 (this is also represented with the solder bump 32 and shows) are formed.

[0064] According to this method, it is what can form the solder bumps 32, 35, and 36 who have by the wetting breadth by melting of solder 127, and have the same area as the electrodes 31a, 33a, and 34a of semiconductor devices 31, 33, and 34. by it The impedance of the joint of the electrodes 31a, 33a, and 34a of semiconductor devices 31, 33, and 34 and the solder bumps 32, 35, and 36 can be made still smaller, and the loss as a semiconductor device can be reduced.

[0065] Moreover, by changing the breakthrough 126 of the punch fixture 124, and the size of the solder 127 arranged to this in this case, the solder bumps' 32, 35, and 36 size can be changed, formation of the solder bump of a size with the impedance required of the property of a semiconductor device by this is attained, and much more improvement in reliability can be attained. And it is also possible to form many solder bumps at once in this case, and productivity can improve.

[0066] In the 6th example shown in [6th example] drawing 7 , a heat sink 133 is arranged, respectively to each crevice 132 of the female mold fixture 131 produced with the material same and same about formation of each solder bumps 32, 35, and 36 of semiconductor devices 31, 33, and 34 as the female mold fixture 121 of the 5th example, and the solder 134 for heat sinks is arranged on it to it. And further, on it, semiconductor devices 31, 33, and 34 (it represents with a semiconductor device 31 and shown) are arranged, and the flux for soldering is applied to the electrodes 31a, 33a, and 34a (this is also represented with electrode 31a and shows) of the upper surface of these semiconductor devices 31, 33, and 34.

[0067] Then, the tooling holes 137 of the punch fixture 136 are fitted into the gage pin 135 of the female mold fixture 131, and it is a wrap by the punch fixture 136 about the electrodes 31a, 33a, and 34a of the upper surface of the above-mentioned semiconductor devices 31, 33, and 34. To the breakthrough 138 which the punch fixture 136 has, solder 139 is used and the above-mentioned ball mounter is arranged, respectively. and on it While joining a heat sink 133 to the electrodes 31b, 33b, and 34b of the inferior surface of tongue of semiconductor devices 31, 33, and 34, respectively by heating the whole by the heating furnace etc. and carrying out melting of the solder 134, 139 The solder bumps 32, 35, and 36 (this is also represented with the solder bump 32 and shows) are formed.

[0068] according to this method, junction of the heat sink [as opposed to / the same effect as the 5th example is acquired, and also / semiconductor devices 31, 33, and 34] 133 raises [do / formation, simultaneously / of the solder bumps 32, 35, and 36 / it] productivity -- things are made And heat can be more briskly radiated in semiconductor devices 31, 33, and 34 by the joined heat sink 133.

[0069] In the 7th example shown in [7th example] drawing 8 , on electrode 24a of the Shimokane group insulating substrate 21, and 24b, the electrodes 31b, 33b, and 34b at the bottom are joined, and semiconductor devices 31, 33, and 34 are mounted with

solder 141,142,143. In this case, it may replace with solder 141-143, and an electroconductive glue may be used. Moreover, the electrical-conductive-gum connector 144 is mounted on electrode 24b and 24c, and the heat sink 145 is formed in the inferior surface of tongue of the Shimokane group insulating substrate 21.

[0070] And on the electrodes 31a, 33a, and 34a of the upper surface of semiconductor devices 31, 33, and 34, the conductor 146,147,148 which consists of copper, silver, etc. has been arranged, respectively, the upper double-sided metal insulating substrate 71 further used for the upper part in the 3rd example was contacted by the electrodes 76a-76d at the bottom, and it is arranged. Moreover, the upper double-sided metal insulating substrate 71 is contacting the electrodes 76d and 76e at the bottom on the upper surface of the electrical-conductive-gum connector 144.

[0071] In this state, it binds tight by the hold-down members 149, such as a screw thread which let the up-and-down metal insulating substrates 71 and 21 pass among them on both sides of the case 39, and the pressure welding of the electrodes 76a-76d of the inferior surface of tongue of the upper double-sided metal insulating substrate 71 is carried out to the electrodes 31a, 33a, and 34a of the upper surface of semiconductor devices 31, 33, and 34 through conductors 146-148 by this clamping force. Moreover, the upper surface of the electrical-conductive-gum connector 144 is made to carry out the pressure welding of the electrodes 76d and 76e of the inferior surface of tongue of the upper double-sided metal insulating substrate 71. In addition, you may be made to perform these pressure weldings by replacing with combining the up-and-down metal insulating substrates 71 and 21 by the hold-down member 149, and joining together by the presser foot stitch tongue.

[0072] Thus, the operation effect as the semiconductor device manufactured by the manufacture method of the semiconductor device of the 1st example that it is the same what was constituted is acquired, and also Since the electrodes 31a, 33a, and 34a of the upper surface of semiconductor devices 31, 33, and 34 and electrodes [of the inferior surface of tongue of the upper double-sided metal insulating substrate 71 / 76a-76d] junction structure only carried out the pressure welding of them through conductors 146-148 especially, The process mounted by making it join by solder or the electroconductive glue is unnecessary, and productivity can be raised further.

[0073] Moreover, since the metal texture-[in the junction structure which carried out the pressure welding] junction does not exist and a thermal fatigue can be made still smaller, it may be made not to produce breakage for a joint etc. further, and reliability can be improved further. In addition, the chip 99,100 and IC101 are mounted in the electrodes 75a-75e of the upper surface of the upper double-sided metal insulating substrate 71 in this case, and the effect that it is [of the same occupancy area as the 1st example] small although many electronic parts are mounted from the thing of the 1st example by this, and it can be realized to it can also be acquired.

[0074] In the octavus example shown in [octavus example] drawing 9 While carrying out the pressure welding of the electrodes 76a-76d of the inferior surface of tongue of the upper double-sided metal insulating substrate 71 to the electrodes 31a, 33a, and 34a of the upper surface of semiconductor devices 31, 33, and 34 through conductors 146-148 The electrodes 31b, 33b, and 34b of the inferior surface of tongue of semiconductor devices 31, 33, and 34 are also replaced with making it join by solder 141-143 or the electroconductive glue, and are joined to the electrodes 24a and 24b of the upper surface of the Shimokane group insulating substrate 21 with the pressure welding.

[0075] Thus, in what was constituted, the process which is joined to the Shimokane group insulating substrate 21 by solder 141-143 or the electroconductive glue, and mounts semiconductor devices 31, 33, and 34 in it becomes unnecessary, and moreover, since a pressure welding is possible together with the electrodes 31a, 33a, and 34a of the upper surface of semiconductor devices 31, 33, and 34, productivity can be raised.

[0076] In the 9th example shown in [9th example] drawing 10 It replaces with both sides of the above-mentioned upper and lower sides at Electrodes 75a-75e and the upper metal insulating substrate 71 which has 76a-76e. Conductors 146-148 are minded for the electrodes 153a-153d of the circuit wiring 153 using the upper metal insulating substrate 154 which forms an insulator 152 only in the inferior surface of tongue of the metal base 151, forms the circuit wiring 153 only in the inferior surface of tongue further, and changes. While carrying out a pressure welding to the electrodes 31a, 33a, and 34a of the upper surface of semiconductor devices 31, 33, and 34, the upper surface of the electrical-conductive-gum connector 144 is made to carry out the pressure welding of the electrodes 153d and 153e.

[0077] In addition, to electrode 153e of the upper metal insulating substrate 154, while mounting lead 156a of the external input terminal 156 using solder 155, this external input terminal 156 is ****(ed) the insulator 23 of the Shimokane group insulating substrate 21, and in between. Thus, in what was constituted, the same operation effect as the semiconductor device of the 7th example can be acquired in mounting many electronic parts from the thing of the 1st example except the effect that it is small and it can be realized.

[0078] In addition, although the electrodes 31b, 33b, and 34b of the inferior surface of tongue of semiconductor devices 31, 33, and 34 are joined to the electrodes 24a and 24b of the upper surface of the Shimokane group insulating substrate 21 by solder 141-143 or the electroconductive glue also in this case, it replaces with it and you may make it make it join with a pressure welding like an octavus example.

[0079] Moreover, also in the 7th previous example or the 9th example, although the inner direction of the Shimokane group insulating substrate 21, a case 39, and the upper metal insulating substrate 71 (154) is filled up with the silicon gel 53, respectively, it may replace with it and insulating gas may be enclosed. According to what enclosed this insulating gas, the process which stiffens the silicon gel 53 can become unnecessary, and productivity can be raised. Moreover, according to insulating gas, it cannot be generated, but generating of the void considered when filled up with the silicon gel 53 can also raise reliability.

[0080] Furthermore, in this case, in the other direction of the Shimokane group insulating substrate 21, a case 39, and the upper metal insulating substrate 71 (154), it may replace with the silicon gel 53, for example, mould resins, such as an epoxy resin, may be filled up with and stiffened. According to what fills up with and stiffened mould resins, such as this epoxy resin, it can have with the shrinkage force in the case of hardening of the mould resin, the interval of the Shimokane group insulating substrate 21 and the upper metal insulating substrate 71 (154) can be narrowed, the pressure welding to those semiconductor devices 31, 33, and 34 can be strengthened, and reliability can be raised.

[0081] In the 10th example shown in [10th example] drawing 11, similarly it replaces with being filled up with the silicon gel 53 between the Shimokane group insulating substrate 21 and the upper metal insulating substrate 71 (154), and while having the crevices 161-163 which surround semiconductor devices 31, 33, and 34, the insulating plate 167 which had for example, produced the holes 164-166 which surround conductors 146-148 by insulating materials, such as silicone rubber, is arranged.

[0082] Thus, in what was constituted, it is the insulating plate 167, and while being able to perform the insulating reservation between the Shimokane group insulating substrate 21 and the upper metal insulating substrate 71 (154), it comes to be also able to perform positioning of the conductors 146-148 to the electrodes 31a, 33a, and 34a of the upper surface of semiconductor devices 31, 33, and 34 on the insulating plate 167, and it can raise assembly precision.

[0083] In the 11th example shown in [11th example] drawing 12 Similarly between the Shimokane group insulating substrate 21 and the upper metal insulating substrate 71 (154) The 1st insulating sheet 174 which replaces with being filled up with the silicon gel 53, and has the crevices 171-173 which surround semiconductor devices 31, 33, and 34, for example, was produced by insulating materials, such as silicone rubber The 2nd insulating sheet 178 which has the holes 175-177 which surround conductors 146-148 and which was similarly produced by insulating materials, such as silicone rubber, is arranged.

[0084] Thus, what was constituted can acquire the same effect as the 10th example of the above. Moreover, since formation of the crevices 171-173 which surround semiconductor devices 31, 33, and 34 in this case, and the holes 175-177 which surround conductors 146-148 can be separately performed on the 1st insulating sheet 174 and the 2nd insulating sheet 178, processing can be easy and can raise productivity.

[0085] In the 12th example shown in [12th example] drawing 13, similarly, between the Shimokane group insulating substrate 21 and the upper metal insulating substrate 71 (154), it replaced with being filled up with the silicon gel 53, semiconductor devices 31, 33, and 34 were individually closed by the silicon gels 181-183, and space 184,185 is opened between each of that closure portion.

[0086] Thus, since the closure portion by the silicon gels 181-183 has estranged for every [semiconductor devices 31 and 33 and] 34 in what was constituted, The time of the silicon gels 181-183 expanding by generation of heat of semiconductor devices 31, 33, and 34 etc., when these silicon gels 181-183 harden, The amount of displacement of the longitudinal direction which are the substrates 71 (154) and 21 of the upper and lower sides accompanying them can be stopped small, a relative position gap of the semiconductor devices 31, 33, and 34 to both the substrates 71 (154) and 21 can be suppressed, and assembly precision can be raised.

[0087] In addition, sufficient interval to secure pressure-proofing is opened between a substrate 71 (154) and 21. For this reason, although it is not necessary to prepare an insulating material especially between the closure portions by the silicon gels 181-183, when the more excellent insulation is required, it is good [that between a substrate 71 (154) and 21 becomes extremely narrow etc.] to enclose insulating gas between each of that closure portion.

[0088] Moreover, semiconductor devices 31 and 33 and the closure in every 34 may be replaced with the silicon gels 181-183, and mould resins, such as an epoxy resin, may perform them. When it does in this way especially, it can have with a shrinkage force in case a mould resin hardens, the pressure welding to the semiconductor devices 31, 33, and 34 of both the substrates 71 (154) and 21 can be strengthened, and reliability can be raised.

[0089] Furthermore, it replaces with the electrical-conductive-gum connector 144 in this case, the same conductor as conductors 146-148 is used, and you may make it also close this conductor individually by silicone rubber or the mould resin. In addition, this invention is not limited only to the example which described above and was shown in the drawing, within limits which do not deviate from a summary, is changed suitably and can be carried out.

[0090]

[Effect of the Invention] this invention is a thing as explained above, and does the following effect so. According to the manufacture method of the semiconductor device of a claim 1, while being able to attain reduction-ization of occupancy area or height, reduction of loss can also be performed and improvement in thermolysis nature, the improvement in reliability, and improvement in productivity can be attained further.

[0091] According to the manufacture method of the semiconductor device of a claim 2, it is possible to use solder with high conductivity for a solder paste, the impedance of the joint of a semiconductor device can be made still smaller, and loss can be reduced further. According to the manufacture method of the semiconductor device of a claim 3, although many electronic parts are mounted, it is what has a small occupancy area small, and it can be realized.

[0092] While according to the manufacture method of the semiconductor device of a claim 4 being able to join the electrode of the upper surface of a semiconductor device, and the electrode of the inferior surface of tongue of an upper metal insulating substrate with a sufficient position precision and being able to improve assembly precision, the solder bump of a size with the impedance which can adjust the height of the whole semiconductor device to the thing according to use sizing, and is required of the property of a semiconductor device, and selection of a solder paste are attained, and much more improvement in reliability can be

[0093] According to the manufacture method of the semiconductor device of a claim 5, a solder bump with the small impedance of a joint can be formed, loss of a semiconductor device can be reduced, it can combine, the solder bump of a size with the impedance required of the property of a semiconductor device can be formed, and much more improvement in reliability can be attained. According to the manufacture method of the semiconductor device of a claim 6, junction of a heat sink [as opposed to / the same effect as the manufacture method of the semiconductor device of a claim 5 is acquired, and also / a semiconductor device] can be performed simultaneously with a solder bump's formation, can raise productivity, and can raise the thermolysis nature of a semiconductor device by the joined heat sink further.

[0094] According to the semiconductor device of a claim 7, the same effect as the semiconductor device manufactured by the manufacture method of the semiconductor device of a claim 1 is acquired, and also especially productivity can be raised further, and the thermal fatigue for a joint of a semiconductor device and an upper double-sided metal insulating substrate can be made still smaller, and reliability can be raised further. In addition, although many electronic parts are mounted, it is what has a small occupancy area small, and it can be realized. According to the semiconductor device of a claim 8, since it can also perform joining a semiconductor device to the Shimokane group insulating substrate with the same pressure welding as the pressure welding of the electrode of the upper surface of the semiconductor device to an upper metal insulating substrate, it can raise productivity further. According to the semiconductor device of a claim 9, the same operation effect as the semiconductor device of a claim 7 can be acquired except a miniaturization. According to the semiconductor device of a claim 10, the hardening process of insulating packing can become unnecessary and productivity can be raised. Moreover, there is also no generating of a void in the insulating packing, and reliability can be raised.

[0095] According to the semiconductor device of a claim 11, it comes to be able to perform positioning of the conductor to the electrode of the upper surface of a semiconductor device on an insulating plate, and it can raise assembly precision. According to the semiconductor device of a claim 12, the same effect as the semiconductor device of a claim 11 is acquired, and also processing of an insulating sheet can be easy, and productivity can be raised further.

[0096] According to the semiconductor device of a claim 13, it can have with the shrinkage force in the case of hardening of a mould resin, the pressure welding to the semiconductor device of the Shimokane group insulating substrate and an upper metal insulating substrate can be strengthened, and reliability can be raised. According to the semiconductor device of a claim 14, a relative position gap of the semiconductor device to the Shimokane group insulating substrate and an upper metal insulating substrate can be suppressed, and assembly precision can be raised.

[Translation done.]